

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication  
number:

100147209 B1

(43) Date of publication of application:  
15.05.1998

(21) Application number: 1019940026832

(71) Applicant:

LG ELECTRONICS INC.

(22) Date of filing: 20.10.1994

(72) Inventor:

CHOE, JONG SIK

(51) Int. Cl

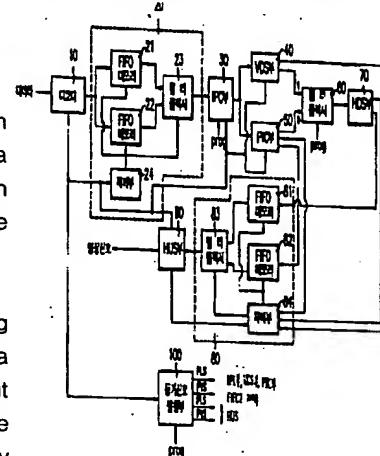
H04N 7/12

## (54) PICTURE FORMAT CONVERTING APPARATUS FOR USE IN HIGH DEFINITION TELEVISION

## (57) Abstract:

PURPOSE: A picture format converting apparatus in a high definition television is provided to prevent a noise occurring owing to an interference between clocks by converting a picture format of a picture signal by use of only a single clock.

CONSTITUTION: In a picture format converting apparatus for use in a high definition television, a decoder(10) decodes transferred data to output picture data, picture format information, picture structure information, an input frequency synchronous signal(IFS), an input vertical synchronous signal(IVS) and an input line synchronous signal(ILS). A synchronous signal generating part(100) outputs a display line synchronous signal(DLS), a display vertical synchronous signal(DVS), a process line synchronous signal(PLS) and a process vertical synchronous signal(PVS) according to a displayed picture format and a picture format inputted by use of a display format signal(prog). A format converting part converts an input picture signal to a picture format of a sequential scan manner of 60Hz or to a picture format of an interlace scan manner of 60Hz by use of an information value outputted from the decoder and the synchronous signal generating part.



COPYRIGHT 2000 KIPO

## Legal Status

Date of final disposal of an application (19980423)

Patent registration number (1001472090000)

Date of registration (19980515)

(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>

H04N 7/12

(11) 등록번호 특0147209

(21) 출원번호	특1994-026832	(65) 공개번호	특1996-016535
(22) 출원일자	1994년 10월 20일	(43) 공개일자	1996년 05월 22일
(73) 특허권자	엘지전자주식회사 이현조 서울특별시 영등포구 여의도동 20번지		
(72) 발명자	최종식 서울특별시 성동구 옥수동 428번지 극동아파트 5동 1306호		
(74) 대리인	김용인, 심창섭		

설사관 : 이노성(54) 에이치디티브이의 영상 포맷 변환장치

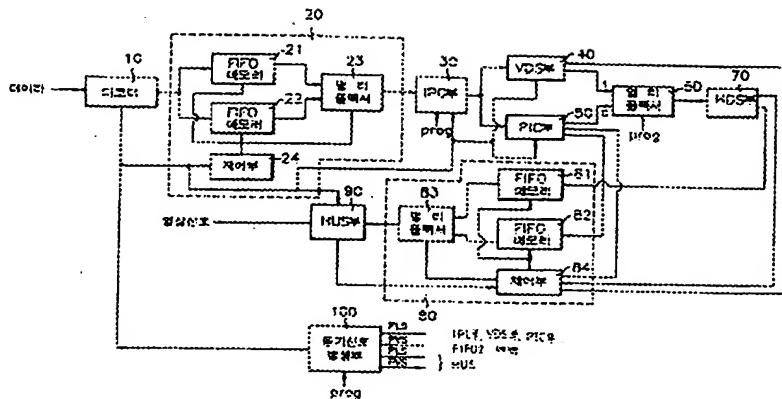
## 요약

본 발명은 HDTV의 영상 변환장치에 관한 것으로, 특히 하나의 단일 클럭만을 이용하여 영상 포맷을 변환시키기 위한 것이다.

이를 위해 본 발명은 전송되는 데이터를 디코딩하여 영상 데이터, 영상포맷정보, 영상구조(Picture Structure) 정보, 입력 주파수 동기신호(IFS), 입력 수직 동기신호(IVS), 및 입력 라인 동기신호(ILS)를 출력하는 디코더(10), 상기 디코더(10)로부터 출력되는 영상포맷정보와 입력 주파수 동기신호(IFS), 및 디스플레이 포맷에 따라 외부로 부터 입력되는 디스플레이 포맷 신호(PROG)를 이용하여 입력되는 영상 포맷과 디스플레이되는 영상 포맷의 형태에 따라 디스플레이 라인 동기신호(DLS), 디스플레이 수직 동기 신호(DVS), 프로세스 라인 동기신호(PLS), 및 프로세스 수직 동기신호(PVS)를 출력하는 동기신호 발생수단(100), 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 상기 디코더(10)로부터 출력되는 영상 데이터, 영상 포맷정보, 및 영상 구조(Picture Structure) 정보를 입력으로 영상 포맷의 블랭킹(Blanking) 영역을 변환하는 블랙킹 영역 변환수단(20), 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인동기 신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 상기 블랭킹 영역 변환수단(20)으로 부터 출력되는 영상 신호를 순차주사 방식의 영상신호로 변환하는 IPC(Interlace to Progressive Conversion)수단(30), 상기 동기 신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷 정보를 이용하여 상기 IPC수단(30)으로 부터 출력되는 영상 신호를 해당하는 영상 포맷 형태로 변환하기 위해 수직 방향으로 다운 샘플링하는 VDS(Vertical Down Sampling)수단(40), 상기 동기 신호 발생수단(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷 정보를 이용하여 상기 IPC수단(30)으로 부터 출력되는 영상신호를 비율 주사 방식의 영상신호로 변환하는 PIC(Progressive to Interlace Conversion)수단(50), 상기 VDS 수단(40)과 IPC 수단(50)으로 부터 출력되는 영상신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 출력하는 제1멀티플렉서(60), 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 상기 제1멀티플렉서(60)로부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수평 방향으로 다운 샘플링하는 HDS(Horizontal Down Sampling)수단(70), 상기 동기 신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS), 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기 신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 상기 VDS 수단(40), PIC 수단(50), 및 HDS 수단(70)으로 부터 출력되는 제어신호를 이용하여 상기 디코더(10)로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 상기 HDS 수단(70)으로 부터 출력되는 영상신호의 프레임률을 60Hz로 변환하는 프레임을 변환수단(80), 및 상기 프레임을 변환수단(80)으로 부터 출력되는 영상신호를 디스플레이 포맷에 따라 수평방향으로 업 샘플링하는 HUS(Horizontal Up Sampling)수단(90)으로 구성된다.

따라서, 본 발명은 단일 클럭을 사용하여 영상신호의 영상포맷을 변환시키므로 클럭간의 간섭으로 인해 나타나는 노이즈가 발생되지 않으며 클럭을 발생시키는 장치의 부하가 줄어드는 효과가 있다.

## 대표도



## 영세서

## [발명의 명칭]

에이치디티비(HDTV)의 영상 포맷 변환장치

## [도면의 간단한 설명]

제1도는 본 발명에 의한 영상포맷 변환장치의 구성도.

제2도는 영상포맷에 의한 영상신호의 구조도.

제3도는 제1도의 블랭킹 변환부로부터 출력되는 영상신호의 구조도.

제4도는 제1도의 동기신호 발생부의 세부 구성도.

제5도는 제4도의 입력 신호의 파형도.

제6도는 제4도의 1600라인 동기신호 발생부의 세부 구성도.

제7도는 제6도의 각 부분의 신호 파형도.

제8도는 제4도의 2240라인 동기신호 발생부의 세부 구성도.

제9도는 제4도의 787/788 디스플레이 수직 동기신호 발생부의 세부 구성도.

제10도는 제9도의 각 부분의 신호 파형도.

제11도는 제4도의 562/563 디스플레이 수직 동기신호 발생부의 세부 구성도.

제12도는 제4도의 720 프로세스 수직 동기신호 발생부의 세부 구성도.

제13도는 제12도의 720 마스킹부의 동작 상태도.

제14도는 제12도의 각 부분의 파형도.

제15도는 제4도의 1080 프로세스 수직 동기신호 발생부의 세부 구성도.

제16도는 제15도의 각 부분의 신호 파형도.

제17도는 제15도의 1080 마스킹부의 동작 상태도.

제18도는 제15도의 1080 클리어 마스킹부의 동작 상태도.

제19도는 순차주사 디스플레이 방식의 각 영상 포맷에 해당하는 동기신호의 파형도.

제20도는 비월주사 디스플레이 방식의 각 영상 포맷에 해당하는 동기신호의 파형도.

제21도는 제1도의 제어부의 세부 구성도.

제22도는 제21도의 FIFO 쓰기 마스킹부의 동작 상태도.

제23도는 제21도의 FIFO 읽기 마스킹부의 동작 상태도.

제24도는 제1도의 IPC부의 세부 구성도.

제25도는 제24도의 IPC 바이패스 제어부의 동작 상태도.

제26도는 제24도의 영상 데이터 처리 상태도.

제27도는 제24도의 각 부분의 신호 파형도.

제28도는 제1도의 VDS부의 세부 구성도.

제29도는 제28도의 VDS 바이패스 제어부의 동작 상태도.

제30도는 제28도의 영상 데이터 처리 상태도.

제31도는 제28도의 각 부분의 신호 파형도.

제32도는 제1도의 PIC부의 세부 구성도.

제33도는 제32도의 PIC 바이패스 데어부의 동작 상태도.

제34도는 제32도의 영상 데이터 처리 상태도.

제35도는 제32도의 각 부분의 신호 파형도.

제36도는 제1도의 HDS부의 세부 구성도.

제37도는 제36도의 HDS 바이패스 제어부의 동작 상태도.

제38도는 제36도의 영상 데이터 처리 상태도.

제39도는 제36도의 각 부분의 신호 파형도.

제40도는 제1도의 제어부의 세부 구성도.

제41도는 제1도의 HUS부의 세부 구성도.

제42도는 제41도의 HUS 바이패스 제어부의 동작 상태도.

제43도는 제41도의 영상 데이터 처리 상태도.

제44도는 제41도의 각 부분의 신호 파형도.

\* 도면의 주요부분에 대한 부호의 설명

10 : 디코더	20 : 블랭킹 영역 변환부
30 : IPC부	40 : VDS부
50 : PIC부	60 : 멀티플렉서
70 : HDS부	80 : 프레임을 변환부
90 : HUS부	100 : 동기신호 발생부

[발명의 상세한 설명]

본 발명은 HDTV의 영상 포맷 변환장치에 관한 것으로, 특히 하나의 단일 클럭만을 이용하여 영상 포맷을 변환시키는 HDTV의 영상포맷 변환 장치에 관한 것이다.

종래의 HDTV의 영상포맷 변환장치는 서로 다른 영상 포맷으로 변환시키기 위해 여러종류의 클럭을 사용하므로 클럭을 발생시키는 장치의 부담이 커지고, 각 클럭의 간섭으로 인해 시스템 전체의 노이즈로 작용되는 문제점이 있었다.

상기 문제점을 개선하기 위해 본 발명은 하나의 단일 클럭을 이용하여 영상 신호의 영상 포맷을 변환시키기 위한 영상 포맷 변환장치를 제공함에 그 목적이 있다.

상기 목적을 달성하기 위해 본 발명은 전송되는 데이터를 디코딩하여 영상 데이터, 영상포맷정보, 영상 구조(Picture Structure) 정보, 입력 주파수 동기신호, 입력 수직 동기신호, 및 입력 라인 등기신호를 출력하는 디코더, 상기 디코더로부터 출력되는 영상포맷정보와 입력 주파수 동기신호, 및 디스플레이 포맷에 따라 외부로 부터 입력되는 디스플레이 포맷 신호를 이용하여 입력되는 영상 포맷과 디스플레이 되는 영상 포맷의 형태에 따라 디스플레이 라인 동기신호, 디스플레이 수직 동기신호, 프로세스 라인 동기신호, 및 프로세스 수직 동기신호를 출력하는 동기신호를 발생수단, 상기 동기신호 발생수단으로 부터 출력되는 프로세스 라인 동기신호와 프로세스 수직 동기신호를 이용하여 상기 디코더로부터 출력되는 영상 데이터, 영상 포맷정보, 및 영상 구조(Picture Structure) 정보를 입력으로 영상 포맷의 블랭킹(Blanking) 영역을 변환하는 블랭킹 영역 변환수단, 상기 동기신호 발생수단으로 부터 출력되는 프로세스 라인 동기신호와 상기 디코더로부터 출력되는 영상 포맷과 디스플레이 포맷에 따라 상기 블랭킹 영역 변환수단으로 부터 출력되는 영상 신호를 순차주사 방식의 영상신호로 변환하는 IPC(Interlace to Progressive Conversion)수단, 상기 동기 신호 발생수단으로 부터 출력되는 프로세스 라인 동기신호와 상기 디코더로부터 출력되는 영상 포맷정보를 이용하여 상기 IPC수단으로 부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수직 방향으로 다운 샘플링하는 VDS(Vertical Down Sampling)수단, 상기 동기 신호 발생수단으로 부터 출력되는 프로세스 라인 동기신호와 상기 디코더로부터 출력되는 영상 포맷 정보를 이용하여 상기 IPC수단으로 부터 출력되는 영상 신호를 비월 주사 방식의 영상신호로 변환하는 PIC(Progressive to Interlace Conversion)수단, 상기 VDS 수단과 IPC수단으로 부터 출력되는 영상신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 출력하는 멀티플렉서, 상기 디코더로부터 출력되는 영상포맷 정보와 디스플레이 포맷에 따라 상기 멀티플렉서로 부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수평 방향으로 다운 샘플링하는 HDS(Horizontal Down Sampling)수단, 상기 동기 신호 발생수단으로 부터 출력되는 프로세스 라인 동기신호, 프로세스 수직 동기신호, 디스플레이 라인 동기신호, 및 디스플레이 수직 동기신호와 상기 VDS 수단, PIC 수단, 및 HDS 수단으로 부터 출력되는 제어신호를 이용하여 상기 디코더로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 상기 HDS 수단으로 부터 출력되는 영상신호의 프레임율을 60Hz로 변환하는 프레임을 변환수단, 및 상기 프레임을 변환수단으로 부터 출력되는 영상신호를 디스플레이 포맷에 따라 수평방향으로 업 샘플링하는 HUS(Horizontal Up Sampling)수단으로 구성되는 것을 특징으로 한다.

이하 첨부한 도면을 참조하여 본 발명의 일실시예를 상세히 설명한다.

본 발명에 의한 영상 포맷 변환장치는 제1도에 도시한 바와 같이 디코더(10), 블랭킹영역 변환부(20), IPC(Interlace to Progressive Conversion)부(30), VDS(Vertical Down Sampling)부(40), PIC(Progressive to Interlace Conversion)부(50), 멀티플렉서(60), HDS부(Horizontal Down Sampling)(70), 프레임을 변환부(80), HUS(Horizontal Up Sampling)부(90), 및 동기신호 발생부(100)로 구성된다.

디코더(10)는 전송되는 데이터를 디코딩하여 영상 데이터, 영상포맷정보, 영상 구조(Picture Structure) 정보, 입력 주파수 동기신호(IFS), 입력 수직 동기신호(IVS), 및 입력 라인 동기신호(ILS)를 출력한다.

여기서 입력 주파수 동기신호(IFS)는 입력 수직 동기신호(IVS)보다 4배의 낮은 주파수를 갖는 신호이다.

동기신호 발생부(100)는 디코더(10)로부터 출력되는 영상포맷정보와 입력 주파수 동기신호(IFS), 디스플레이 포맷에 따라 외부로 부터 입력되는 디스플레이 포맷 신호(prog), 및 외부로 부터 입력되는 기준 클럭을 이용하여 입력되는 영상 포맷과 디스플레이되는 영상 포맷의 형태에 따라 디스플레이 라인 동기 신호(DLS), 디스플레이 수직 동기신호(DVS), 프로세스 라인 동기신호(PLS), 및 프로세스 수직 동기신호(PVS)를 출력한다.

블랭킹 영역 변환부(20)는 디코더(10)로부터 출력되는 영상 데이터 중에서 톱 필드(Top Field)에 해당하는 데이터를 일시 저장하는 FIFO 메모리(21), 디코더(10)로부터 출력되는 영상 데이터 중에서 보텀 필드(Bottom Field)에 해당하는 데이터를 일시 저장하는 FIFO 메모리(22), FIFO 메모리(21, 22)로부터 출력되는 신호를 멀티플렉싱하여 IPC부(30)로 출력하는 멀티플렉서(23), 및 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 디코더(10)로부터 출력되는 영상 포맷정보와 영상 구조(Picture Structure) 정보를 입력으로 FIFO 메모리(21, 22)와 멀티플렉서(23)를 제어하는 제어부(24)로 구성되어, 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 디코더(10)로부터 출력되는 영상 데이터, 영상 포맷정보, 및 영상 구조(Picture Structure) 정보를 입력으로 영상 포맷의 블랭킹(Blanking) 영역을 변환한다.

IPC(Interlace to Progressive Conversion)부(30)는 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 블랭킹 영역 변환부(20)로부터 출력되는 영상 신호를 순차주사 방식의 영상신호로 변환한다.

VDS(Vertical Down Sampling)부(40)는 동기 신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 디코더(10)로부터 출력되는 영상 포맷 정보를 이용하여 IPC부(30)로부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수직 방향으로 3:2 다운 샘플링한다.

PIC(Progressive to Interlace Conversion)부(50)는 동기 신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷정보를 이용하여 IPC부(30)로부터 출력되는 영상신호를 비월 주사 방식의 영상신호로 변환한다.

멀티플렉서(60)는 VDS부(40)와 IPC부(50)로부터 출력되는 영상신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 출력한다.

HDS(Horizontal Down Sampling)부(70)는 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 멀티플렉서(60)로부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수평 방향으로 3:2 다운 샘플링한다.

프레임을 변환부(80)는 HDS부(70)로부터 출력되는 영상 데이터 중에서 톱 필드(Top Field)에 해당하는 데이터를 일시 저장하는 FIFO 메모리(81), HDS부(70)로부터 출력되는 영상 데이터 중에서 보텀 필드(Bottom Field)에 해당하는 데이터를 일시 저장하는 FIFO 메모리(82), FIFO 메모리(81, 82)로부터 출력되는 신호를 멀티플렉싱하여 상기 HUS 수단(90)으로 출력하는 멀티플렉서(83), 및 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 상기 VDS부(40), IPC부(50), 및 HDS부(70)로부터 출력되는 제어신호를 이용하여 디코더(10)로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 FIFO 메모리(81, 82)와 멀티플렉서(83)를 제어하는 제어수단(84)으로 구성되어, 동기 신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS), 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 VDS부(40), IPC부(50), 및 HDS부(70)로부터 출력되는 제어신호를 이용하여 디코더(10)로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 HDS부(70)으로 부터 출력되는 영상신호의 프레임율을 60Hz로 변환한다.

이때 외부로 부터 입력되는 디스플레이 포맷 신호(prog)에 따라 디스플레이 포맷이 순차주사식인 경우에는 하나의 FIFO 메모리(81)만을 사용한다.

HUS(Horizontal Up Sampling)부(90)는 프레임을 변환부(80)로부터 출력되는 영상신호를 디스플레이 포맷에 따라 수평방향으로 2:3업 샘플링하여 모니터로 출력한다.

이와 같이 구성된 본 발명에 의한 영상포맷 변환장치의 동작은 다음과 같다.

입력되는 데이터는 디코더(10)에서 디코딩되어 영상 데이터, 영상포맷 정보, 영상 구조정보, 입력 주파수 동기신호(IFS), 입력 수직 동기신호(IVS), 및 입력 라인 동기신호(ILS)로 출력된다.

디코더(10)로부터 출력되는 입력되는 영상 신호의 영상 포맷 정보와 입력 주파수 동기신호(IFS), 디스플레이 포맷에 따라 외부로 부터 입력되는 디스플레이 포맷 신호(prog), 및 외부로 부터 입력되는 기준 클럭은 동기신호 발생부(100)에 입력되어 입력되는 영상 포맷과 디스플레이되는 영상 포맷의 형태에 따라 디스플레이 라인 동기신호(DLS), 디스플레이 수직 동기신호(DVS), 프로세스 라인 동기신호(PLS), 및 프로세스 수직 동기신호(PVS)를 발생시키는데 이용된다.

디코더(10)로부터 출력되는 영상 데이터는 블랭킹 영역 변환부(20)에 입력되어 디코더(10)로부터 출력되는 영상 포맷 정보 및 영상 구조와 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)에 따라 영상데이터, 영상 포맷정보, 및 영상 구조(Picture Structure) 정보에 따라 포맷의 블랭킹(Blanking) 영역이 변환된다.

디코더(10)로부터 출력되는 영상 데이터는 액티브 영역과 블랭킹 영역으로 이루어지는데, 제2도를 참조하여 세부적으로 설명하면 다음과 같다.

디코더(10)로부터 출력되는 영상신호의 영상포맷은 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성된 영상신호로 이루어지며 60Hz의 프레임율을 갖는 순차주사식인 영상 포맷(A), 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성된 영상신호로 이루어지며 30Hz의 프레임율을 갖는 순차주사식인 영상포맷(B), 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성된 영상신호로 이루어지며 24Hz의 프레임율을 갖는 순차주사식인 영상포맷(C), 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성된 영상신호로 이루어지며 60Hz의 필드율을 갖는 비월주사식 및 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240 화소로 형성된 영상신호로 이루어지며 30Hz의 프레임율을 갖는 비월주사식인 영상포맷(D), 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성된 영상신호로 이루어지며 30Hz의 프레임율을 갖는 순차주사식인 영상포맷(E), 및 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성된 영상신호로 이루어지며 24Hz의 프레임율을 갖는 순차주사식인 영상포맷(F)로 이루어진다.

여기서 각 영상포맷(A, B, C, D, E, F)으로 이루어지는 영상신호는 액티브 영역을 제외한 나머지 부분이 블랭킹 영역이 된다.

블랭킹 영역 변환부(20)에서는 FIFO 메모리(21, 22)를 이용하여 각 영상포맷(A, B, C, D, E, F)으로 이루어지는 영상신호의 블랭킹 영역을 제3도에 도시한 바와 같이 변화시켜 IPC부(30)로 출력한다.

즉, 블랭킹 영역 변환부(20)는 787/788라인 × 3200화소로 형성된 영상포맷(B)으로 이루어진 영상신호를 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 1575라인 × 1600화소로 형성된 영상포맷으로 이루어진 영상신호(B')로 변화하여 블랭킹 영역을 변화시키고, 787/788라인 × 4000화소로 형성된 영상포맷(C)으로 이루어진 영상신호를 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 1575/2362/2363라인 × 1600화소로 형성된 영상포맷(C')으로 이루어진 영상신호로 변화하여 블랭킹 영역을 변화시키고, 562/563라인 × 2240화소로 형성된 영상포맷(D)으로 이루어진 영상신호를 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성된 영상포맷(D')으로 이루어진 영상신호로 변화하여 블랭킹 영역을 변화시키고, 1125라인 × 2280화소로 형성된 영상포맷(F)으로 이루어지는 영상신호를 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125/1687/1688 × 2240화소로 형성된 영상포맷(F')으로 이루어진 영상신호로 변화하여 블랭킹 영역을 변화시킨다.

720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성된 영상포맷(A)과 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성된 영상포맷(E)은 블랭킹 변화부(20)에서 블랭킹 영역을 변환되지 않는 상태(A', E')로 출력된다.

여기서도 각 영상포맷(B', C', D', F')으로 이루어지는 영상신호는 액티브 영역을 제외한 나머지 부분이 블랭킹 영역이 된다.

디코더(10)로부터 출력되는 영상 데이터 중에서 영상 포맷(A, B, C)로 이루어진 영상 데이터는 제어부(24)의 제어에 따라 FIFO 메모리(21)에 저장된 후 위에서 언급한 영상포맷(A', B', C')으로 변환되어 출력된다.

또한 디코더(10)로부터 출력되는 영상 데이터 중에서 영상포맷(D)이고 필드 구조로 이루어진 영상 데이터는 제어부(24)의 제어에 따라 톱 필드와 보텀 필드에 해당하는 영상 데이터로 나뉘어져 FIFO 메모리(21, 22)에 각각 저장된 후 라인 단위로 각 FIFO 메모리(21, 22)에서 번갈아가며 읽혀진다. 이에 따라 필드 구조로 이루어진 영상 데이터는 프레임 구조로 변환된다.

또한 디코더(10)로부터 출력되는 영상 데이터 중에서 영상포맷(E, F)로 이루어진 영상 데이터는 제어부(24)의 제어에 따라 라인 단위로 각 FIFO 메모리(21, 22)에서 번갈아가며 읽혀진다.

FIFO 메모리(21, 22)에서 읽혀진 영상 데이터는 멀티플렉서(23)에 의해 선택되어 IPC부(30)로 출력된다.

이와 같이 블랭킹 영역을 변환시키기 위해 제어부(24)에서는 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 디코더(10)로부터 출력되는 영상 포맷정보와 영상 구조(Picture Structure) 정보를 입력으로 FIFO 메모리(21, 22)의 읽기 및 쓰기를 제어하고, 멀티플렉서(23)의 선택을 제어한다.

블랭킹 변환부(20)의 멀티플렉서(23)로부터 출력되는 영상신호는 IPC부(30)에서 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 순차 주사 방식의 영상신호로 변환된다.

즉, 입력되는 영상 데이터가 비월주사 방식의 영상 포맷(0)으로 이루어진 영상 데이터이고 디스플레이 포맷이 순차주사 방식인 경우 현재 필드, 즉 톱 필드의 상하 라인의 화소값과 다음 필드, 즉 보텀 필드의 동일 위치의 화소값을 이용한 3-포인트 메디안 필터(3-Point Median Filter)를 사용하여 영상 데이터의 영상 포맷이 순차 주사 방식으로 변환되고, 그 밖의 경우에는 바이패스된다.

IPC부(30)로부터 출력되는 영상 데이터 VDS(Vertical Down Sampling)부(40)에서 동기 신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 해당하는 영상 포맷 형태로 변환하기 위해 수직 방향으로 3:2 다운 샘플링된다.

즉, IPC부(30)에서 입력되는 영상 신호가 영상 포맷(D, F, F)으로 이루어진 영상 데이터인 경우 VDS부(40)에서 수직 방향으로 3:2 다운 샘플링되고, 그 밖의 경우에는 바이패스된다.

또한 IPC부(30)로 부터 출력되는 영상 데이터는 PIC(Progressive to Interlace Conversion)부(50)에서 동기 신호 발생부(100)로 부터 출력되는 프로세스 라인 동기신호(PLS)와 디코더(10)로 부터 출력되는 영상 포맷 정보에 따라 비율 주사 방식의 영상신호로 변환된다.

즉, PIC부(50)에서는 입력되는 영상신호가 영상 포맷(A, B, C)으로 이루어진 영상 데이터인 경우 룹 필드와 보를 필드에 맞게 수직방향으로 4:3 다운 샘플링이 수행되어 비율 주사 방식의 영상신호로 변환되고, 그 밖의 경우에는 바이패스된다.

VDS부(40)와 PIC부(50)로 부터 출력되는 영상 데이터는 멀티플렉서(60)에서 외부로 부터 입력되는 디스플레이 포맷신호(prog)에 따라 선택되어 출력된다. 즉, 멀티플렉서(60)에서는 외부로 부터 입력되는 디스플레이 포맷신호(prog)가 '1'로 순차 주사식의 디스플레이 포맷을 나타내면 VDS부(40)로 부터 출력되는 영상 데이터를 선택하여 출력하고, 외부로 부터 입력되는 디스플레이 포맷 신호(prog)가 '0'으로 비율주사식의 디스플레이 포맷을 나타내면 PIC부(50)로 부터 출력되는 영상 데이터를 선택하여 출력한다.

멀티플렉서(60)로 부터 출력되는 영상 데이터는 HDS(Horizontal Down Sampling)부(70)에서 디코더(10)로 부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 해당하는 영상 포맷 형태로 변환시키기 위해 수평 방향으로 3:2 다운 샘플링된다.

즉, HDS부(70)에서는 입력되는 영상 신호가 영상 포맷(D, E, F)으로 이루어진 영상 데이터이고 디스플레이 포맷이 순차주사 방식인 경우 수평방향으로 3:2 다운 샘플링되고, 그 밖의 경우에는 바이패스된다.

HDS부(70)로 부터 출력되는 영상 데이터는 프레임을 변환부(80)에서 동기 신호 발생부(100)로 부터 출력되는 프로세스 라인 동기신호(PLS), 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 디스플레이 수직 동기신호(DVS)와 VDS부(40), PIC부(50), 및 HDS부(70)로 부터 출력되는 제어신호, 및 디코더(10)로 부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 프레임율이 60Hz로 변환된다.

즉, 프레임을 변환부(80)에서는 순차주사 방식으로 디스플레이할 경우에는 FIFO 메모리(81)에서만 데이터를 읽어내고, 비율주사 방식으로 디스플레이할 경우 룹필드 데이터는 FIFO 메모리(81)에서 보통 필드 데이터는 FIFO 메모리(82)에서 필리드마다 번갈아 가며 읽어내므로 프레임율을 변환시킨다.

이와 같이 프레임을 변환시키기 위해 제어부(84)에서는 동기신호 발생부(100)로 부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 상기 VDS부(40), PIC부(50), 및 HDS부(70)로 부터 출력되는 제어신호를 이용하여 디코더(10)로 부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 FIFO 메모리(81, 82)의 읽기 및 쓰기와 멀티플렉서(83)의 선택을 제어한다.

프레임을 변화부(80)로 부터 출력되는 영상 데이터는 HUS(Horizontal Up Sampling)부(90)에서 디스플레이 포맷에 따라 수평방향으로 2:3업 샘플링되어 모니터로 출력된다. 즉, HUS부(90)는 입력되는 영상 신호가 영상포맷(A, B, C)이고 비율주사 방식으로 디스플레이할 경우 수평방향으로 2:3업 샘플링하고, 그 외의 경우에는 바이패스한다.

동기신호 발생부(100)는 제4도에 도시한 바와 같이 외부로 부터 입력되는 기준클럭을 이용하여 1600라인 동기신호를 발생시키는 1600라인 동기신호 발생부(110), 외부로 부터 입력되는 기준클럭을 이용하여 2240 라인 동기신호를 발생시키는 2240라인 동기신호 발생부(120), 1600라인 동기신호 발생부(110)와 2240라인 동기신호 발생부(120)로 부터 출력되는 라인 동기신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 디스플레이 라인 동기신호(DLS)로 출력을 멀티플렉서(101), 1600라인 동기신호 발생부(110)로 부터 출력되는 신호를 이용하여 787/788 디스플레이 수직 동기신호(787/788 DVS)를 발생시키는 787/788 디스플레이 수직동기신호 발생부(130), 220라인 동기신호 발생부(120)로 부터 출력되는 신호를 이용하여 562/563 디스플레이 수직 동기신호(562/563 DVS)를 발생시키는 562/563 디스플레이 수직동기신호 발생부(140), 787/787 디스플레이 수직동기신호 발생부(130)와 562/563 디스플레이 수직동기신호 발생부(140)로 부터 출력되는 디스플레이 수직동기신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 디스플레이 수직 동기신호(DVS)로 출력하는 멀티플렉서(102), 디코더(10)로 부터 출력되는 영상포맷 정보에 따라 720라인으로 이루어진 영상신호인지 1080라인으로 이루어진 영상신호인지를 판단하는 720/1080 라인 선택부(180), 720/1080 라인선택부(180)의 제어에 따라 1600라인 동기신호 발생부(110)와 2240 라인 동기신호 발생부(120)로 부터 출력되는 1600 및 2240 라인동기신호 중에서 하나를 선택하여 프로세스 라인 동기신호(PLS)로 출력하는 멀티플렉서(103), 디코더(10)로 부터 출력되는 영상포맷 정보에 따라 787/788 디스플레이 수직동기신호 발생부(130)로 부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)를 이용하여 720프로세스 수직동기신호(720 PVS)를 발생시키는 720 프로세스 수직동기 신호 발생부(150), 디코더(10)로 부터 출력되는 영상포맷 정보에 따라 562/563 디스플레이 수직 동기신호 발생부(140)로 부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)를 이용하여 1080 프로세스 수직동기신호(1080 PVS)를 발생시키는 1080 프로세스 수직동기 신호 발생부(160), 720/1080 선택부(180)의 제어에 따라 720 프로세스 수직동기 신호 발생부(150)와 1080 프로세스 수직 동기신호 발생부(160)로 부터 출력되는 720 및 1080프로세스 수직동기신호(720 PVS, 1080 PVS) 중에서 하나를 선택하여 프로세스 수직동기신호(PVS)로 출력하는 멀티플렉서(104), 및 디코더(10)로 부터 출력되는 입력 주파수 동기신호(IFS)의 상승 애지를 검출하여 1600라인 동기신호 발생부(110), 2240라인 동기신호 발생부(120), 787/788 디스플레이 수직동기신호 발생부(130), 562/563 디스플레이 수직동기신호 발생부(140), 720 프로세스 수직동기 신호 발생부(150), 및 1080 프로세스 수직동기 신호 발생부(160)를 리셋 시키는 리셋 제어부(170)로 구성된다.

이와 같이 구성되는 동기신호 발생부(100)의 동작을 설명하면 다음과 같다.

먼저 각각 입력동기신호에 대해 제5도(가)(나)(다)를 참조하여 설명하기로 한다.

입력되는 영상신호의 영상 포맷(A, B, C, D, E, F)에 따라 입력라인 동기신호(ILS)는 제5도(가)에 도시

한 바와 같이 하나의 라인 동안(Y) 화소수 만큼 발생되는 기준 클럭중에서 일정시간 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이룬다.

즉, 입력되는 영상 신호가 영상 포맷(A)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 1600화소에 해당하는 1600클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1280화소에 해당하는 1280클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(B)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 3200화소에 해당하는 3200클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1280화소에 해당하는 1280클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 포맷(C)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 4000화소에 해당하는 4000클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1280화소에 해당하는 1280클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(E)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 2240화소에 해당하는 2240클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1920화소에 해당하는 1920클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(D)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 2280화소에 해당하는 2280클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1920화소에 해당하는 1920클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(F)인 경우 입력 라인 동기신호(ILS)는 기준 클럭이 2280화소에 해당하는 2280클럭만큼 발생되는 동안(Y)에 하나의 라인을 나타내며 기준 클럭이 1920화소에 해당하는 1920클럭 발생되는 동안(X) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상신호의 영상 포맷(A, B, C, D, E, F)에 따라 입력수직 동기신호(IVS)는 제5도(나)에 도시한 바와 같이 하나의 프레임 또는 필드 동안(b, d) 라인수 만큼 발생되는 라인 동기신호중에서 일정 시간 동안(a, c) 액티브 영역임을 나타내기 위해 하이 상태를 이룬다. 여기서 라인 동기신호는 입력되는 영상신호의 영상 포맷에 따라 1600라인 동기신호, 또는 2240라인 동기신호가 된다.

즉, 입력되는 영상 신호가 영상 포맷(A, B, C)인 경우 입력 수직 동기신호(IVS)는 1600라인 동기신호가 787라인에 해당하는 787개 만큼 발생되는 동안(b)에 하나의 프레임을 나타내며 1600라인 동기신호가 720라인에 해당하는 720개 만큼 발생되는 동안(a) 액티브 영역임을 나타내기 위해 하이 상태를 이루고, 다음 프레임에서는 1600라인 동기신호가 788라인에 해당하는 788개 만큼 발생되는 동안(d)에 하나의 프레임을 나타내며 1600라인 동기신호가 720라인에 해당하는 720개 만큼 발생되는 동안(c) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(D)이고 프레임 구조인 경우 입력 수직 동기신호(IVS)는 2240라인 동기신호가 562라인에 해당하는 562개 만큼 발생되는 동안(b)에 하나의 필드를 나타내며 2240라인 동기신호가 540라인에 해당하는 540개 만큼 발생되는 동안(a) 액티브 영역임을 나타내기 위해 하이 상태를 이루고, 다음 필드에서는 2240라인 동기신호가 563라인에 해당하는 563개 만큼 발생되는 동안(d)에 하나의 필드를 나타내며 2240라인 동기신호가 540라인에 해당하는 540개 만큼 발생되는 동안(c) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(D)이고 프레임 구조인 경우 입력 수직 동기신호(IVS)는 2240라인 동기신호가 562라인에 해당하는 562개 만큼 발생되는 동안(b)에 하나의 필드를 나타내며 2240라인 동기신호가 540라인에 해당하는 540개 만큼 발생되는 동안(a) 액티브 영역임을 나타내기 위해 하이 상태를 이루고, 다음 필드에서는 2240라인 동기신호가 563라인에 해당하는 563개 만큼 발생되는 동안(d)에 하나의 필드를 나타내며 2240라인 동기신호가 540라인에 해당하는 540개 만큼 발생되는 동안(c) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(D)로 순차주사 방식인 경우 입력 수직 동기신호(IVS)는 2240라인 동기신호가 1125라인에 해당하는 1125개 만큼 발생되는 동안(b)에 하나의 프레임을 나타내며 2240라인 동기신호가 1080라인에 해당하는 1080개 만큼 발생되는 동안(a) 액티브 영역임을 나타내기 위해 하이 상태를 이루고, 다음 프레임에서는 이전 프레임과 마찬가지로 2240라인 동기신호가 1125라인에 해당하는 1125개 만큼 발생되는 동안(d)에 하나의 필드를 나타내며 2240라인 동기신호가 1080라인에 해당하는 1080개 만큼 발생되는 동안(c) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상 신호가 영상 포맷(E, F)인 경우 입력 수직 동기신호(IVS)는 2240라인 동기신호가 1125라인에 해당하는 1125개 만큼 발생되는 동안(b)에 하나의 프레임을 나타내며 2240라인 동기신호가 1080라인에 해당하는 1080개 만큼 발생되는 동안(a) 액티브 영역임을 나타내기 위해 하이 상태를 이루고, 다음 프레임에서는 이전 프레임과 마찬가지로 2240라인 동기신호가 1125라인에 해당하는 1125개 만큼 발생되는 동안(d)에 하나의 프레임을 나타내며 2240라인 동기신호가 1080라인에 해당하는 1080개 만큼 발생되는 동안(c) 액티브 영역임을 나타내기 위해 하이 상태를 이루게 된다.

또한, 입력되는 영상신호의 영상 포맷(A, B, C, D, E, F)에 따라 입력주파수 동기신호(IFS)는 제5도(다)에 도시한 바와 같이 두개의 입력 수직 동기신호(IVS)가 발생되는 동안 하이상태를 이룬후 다시 두개의 입력수직동기신호(IVS)가 발생되는 동안 로우상태를 이루게 된다.

리셋 제어부(170)는 입력 주파수 동기신호(IFS)의 상승 에지를 검출하여 리셋신호를 발생하고, 리셋제어부(170)에서 발생된 리셋 신호는 1600라인 동기신호 발생부(110), 2240라인 동기신호 발생부(120), 787/788 디스플레이 수직동기신호 발생부(130), 562/563 디스플레이 수직동기신호 발생부(140), 720 프

로세스 수직동기 신호 발생부(150), 및 1080 프로세스 수직 동기 신호 발생부(160)를 동시에 초기화 시킨다.

이에 따라 1600라인 동기신호 발생부(110)와 2240라인 동기신호 발생부(120)에서는 외부로 부터 입력되는 기준 클럭에 따라 각각 1600라인 동기신호와 2240라인 동기신호를 만든다.

1600라인 동기신호 발생부(110)에서 발생되는 1600라인 동기신호는 기준 클럭이 1280클럭 발생되는 동안 액티브 영역임을 나타내기 위해 하이 상태를 나타내고, 2240라인 동기신호 발생부(120)에서 발생되는 2240라인 동기신호는 기준 클럭이 1920클럭 발생되는 동안 액티브 영역임을 나타내기 위해 하이상태를 나타낸다.

1600라인 동기신호 발생부(110)와 2240라인 동기신호 발생부(120)로 부터 출력되는 라인 동기신호는 멀티플렉서(101)에 입력되어 디스플레이 포맷을 나타내는 디스플레이 포맷 신호(prog)에 따라 선택되어 디스플레이 라인 동기 신호(DLS)로 출력된다.

1600라인 동기신호 발생부(110)로 부터 출력되는 1600라인 동기신호는 787/788디스플레이 수직동기신호 발생부(130)에 입력되어 787/788 디스플레이 수직 동기신호(787/788 DVS)를 발생시키는데 이용된다.

2240라인 동기신호 발생부(120)로 부터 출력되는 2240라인 동기신호는 562/563 디스플레이 수직동기신호 발생부(140)에 입력되어 562/563 디스플레이 수직 동기신호(562/563 DVS)를 발생시키는데 이용된다.

787/788 디스플레이 수직동기신호 발생부(130)와 562/563디스플레이 수직동기 신호 발생부(140)로 부터 출력되는 787/788디스플레이 동기신호와 562/563디스플레이 수직동기 신호는 멀티플렉서(102)에 입력되어 디스플레이 포맷을 나타내는 디스플레이 포맷신호(prog)에 따라 선택하여 디스플레이 수직 동기신호(DVS)로 출력된다.

디코더(10)로 부터 출력되는 영상포맷 정보는 720/1080라인 선택부(180)에 입력되어 입력되는 영상신호가 720라인으로 이루어진 영상신호인지 1080라인으로 이루어진 영상신호인지 판단하도록 한다. 즉, 720/1080라인 선택부(18)는 영상 포맷 정보에 따라 입력되는 영상신호가 영상포맷(A, B, C)인 경우에는 '1'을 출력하여 720라인을 선택하도록 하고, 입력되는 영상신호가 영상포맷(D, E, F)인 경우에는 '0'을 출력하여 1080라인을 선택하도록 한다.

1600라인 동기신호 발생부(110)와 2240라인 동기신호 발생부(120)로 부터 출력되는 1600 및 2240라인 동기신호는 멀티플렉서(1030)에 입력되어 720/1080라인 선택부(180)의 제어에 따라 선택되어 프로세스 라인 동기신호(PLS)로 출력된다.

즉, 720/1080라인 선택부(180)가 720라인을 선택하여 '1'을 출력하면 멀티플렉서(103)는 1600라인 동기 신호를 선택하여 프로세스 라인 동기신호(PLS)로 출력하고, 720/1080라인 선택부(180)가 1080라인을 선택하여 '0'을 출력하면 멀티플렉서(103)는 2240라인 동기신호를 선택하여 프로세스 라인 동기신호(PLS)로 출력한다.

787/788 디스플레이 수직동기신호 발생부(130)로 부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)는 720 프로세스 수직 동기신호 발생부(150)로 입력되어 디코더(10)로 부터 출력되는 영상포맷정보에 따라 720프로세스 수직동기신호(720 PVS)가 발생되는데 이용된다.

562/563 디스플레이 수직동기신호 발생부(140)로 부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)는 1080 프로세스 수직동기신호 발생부(160)로 입력되어 디코더(10)로 부터 출력되는 영상포맷에 따라 1080프로세스 수직동기신호(1080 PVS)를 발생시키는데 이용된다.

720 프로세스 수직동기 신호 발생부(150)와 1080 프로세스 수직 동기신호 발생부(160)로 부터 출력되는 720 및 1080프로세스 수직동기 신호(720 PVS, 1080 PVS)는 멀티플렉서(104)에 입력되어 720/1080 라인 선택부(180)의 제어에 따라 선택되어 프로세스 수직 동기신호(PVS)로 출력된다.

즉, 720/1080라인 선택부(180)가 720라인을 선택하여 '1'을 출력하면 멀티플렉서(104)는 720프로세스 수직 동기신호(720 PVS)를 선택하여 프로세스 수직 동기신호(PVS)로 출력하고, 720/1080라인 선택부(180)가 1080라인을 선택하여 '0'을 출력하면 멀티플렉서(104)는 1080수프로세스 수직동기신호(1080 PVS)를 선택하여 프로세스 수직 동기신호(PVS)로 출력한다.

1600라인 동기신호 발생부(110)는 제6도에 도시한 바와 같이 외부로 부터 입력되는 기준 클럭을 카운팅하는 11비트 카운터(111), 11비트 카운터(111)로부터 출력되는 신호를 '1600'과 비교하는 비교기(112), 비교기(112)로부터 출력되는 신호와 리셋 제어부(170)로부터 출력되는 리셋신호를 논리합하여 11비트 카운터(111)의 클리어 입력으로 하는 OR 게이트(115), 11비트 카운터(111)로부터 출력되는 신호를 '0'과 비교하는 비교기(113), 11비트 카운터(111)로부터 출력되는 신호를 '1280'과 비교하는 비교기(114), 및 비교기(113)로부터 출력되는 신호를 세트 입력으로 하고 비교기(114)로부터 출력되는 신호를 리셋 입력으로 하고 외부로 부터 입력되는 기준 클럭을 클럭입력으로 하여 1600라인 동기신호를 출력하는 SR 플립플롭(116)으로 구성된다.

이와 같이 구성되는 1600라인 동기신호 발생부(110)의 동작을 제7도를 참조하여 설명하면 다음과 같다.

리셋 제어부(170)로부터 출력되는 리셋신호가 '1'이 되면 11비트 카운터(111)는 '0'이 되고 외부로 부터 입력되는 기준 클럭에 맞추어 카운팅한다. 비교기(112)에 의해 11비트 카운터(111)로부터 출력되는 값이 '1600'이 되는 순간 11비트 카운터(111)는 다시 클리어되므로 실제로 11비트 카운터(111)는 '0'부터 '1599'까지 총 1600개의 기준 클럭을 카운팅하게 된다.

11비트 카운터(111)로부터 출력되는 값이 '0'이 되면 비교기(113)의 출력에 따라 SR 플립플롭(116)의 셋 트리거(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 11비트 카운터(111)로부터 출력되는 값이 '1280'이 되면 비교기(114)의 출력에 따라 SR 플립플롭(116)의 리셋트리거(R)가 '1'이 되어 출력(Q)이 '0'이 된다.

이에 따라 1600라인 동기신호는 1280 화소로 이루어지는 액티브 영역이 하기 상태로 나타난다.

2240 라인 동기신호 발생부(120)는 제8도에 도시한 바와 같이 외부로 부터 입력되는 기준 클럭을 카운팅하는 12비트 카운터(121), 12비트 카운터(121)로부터 출력되는 신호를 '2240'과 비교하는 비교기(122), 비교기(122)로부터 출력되는 신호와 리셋 제어부(170)로부터 출력되는 리셋신호를 논리합하여 12비트 카운터(121)의 클리어 입력으로 하는 OR 게이트(125), 12비트 카운터(121)로부터 출력되는 신호를 '0'과 비교하는 비교기(123), 12비트 카운터(121)로부터 출력되는 신호를 '1920'과 비교하는 비교기(124), 및 비교기(123)로부터 출력되는 신호를 세트 입력으로 하고 비교기(124)로부터 출력되는 신호를 리셋 입력으로 하고 외부로 부터 입력되는 기준 클럭을 클럭입력으로 하여 2240 라인 동기신호를 출력하는 SR 플립플롭(126)으로 구성된다.

이와 같이 구성되는 2240라인 동기신호 발생부(120)의 동작을 설명하면 다음과 같다. 리셋 제어부(170)로부터 출력되는 리셋신호가 '1'이 되면 12비트 카운터(121)는 '0'이 되고 외부로 부터 입력되는 기준 클럭에 맞추어 카운팅된다. 비교기(122)에 의해 12비트 카운터(121)로부터 출력되는 값이 '2240'이 되는 순간 12비트 카운터(121)는 다시 클리어되므로 실제로 12비트 카운터(121)로부터 '0'부터 '2239'까지 총 2240개의 기준 클럭을 카운팅하게 된다.

12비트 카운터(121)로부터 출력되는 값이 '0'이 되면 비교기(123)의 출력에 따라 SR 플립플롭(126)의 셋트단자(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 12비트 카운터(121)로부터 출력되는 값이 '1920'이 되면 비교기(124)의 출력에 따라 SR 플립플롭(126)의 리셋단자(R)가 '1'이 되어 출력(Q)이 '0'이 된다.

이에 따라 2240라인 동기신호는 1920 화소로 이루어지는 액티브 영역이 하이 상태로 나타난다.

787/788 디스플레이 수직 동기신호 발생부(130)는 제9도에 도시한 바와 같이 1600라인 동기신호 발생부(110)로부터 출력되는 1600 라인 동기신호를 카운팅하는 11비트 카운터(131), 11비트 카운터(131)로부터 출력되는 신호를 '1575'와 비교하는 비교기(132), 비교기(132)로부터 출력되는 신호와 리셋 제어부(170)로부터 출력되는 리셋신호를 논리합하여 11비트 카운터(131)의 클리어 입력으로 하는 OR 게이트(135), 11비트 카운터(131)로부터 출력되는 신호를 '0'과 비교하는 비교기(133), 11비트 카운터(131)로부터 출력되는 신호를 '787'과 비교하는 비교기(134), 11비트 카운터(131)로부터 출력되는 신호를 '720'과 비교하는 비교기(137), 11비트 카운터(131)로부터 출력되는 신호를 '1507'과 비교하는 비교기(138), 비교기(133, 134)로부터 출력되는 신호를 논리합하는 OR게이트(136), 비교기(137, 138)로부터 출력되는 신호를 논리합하는 OR게이트(139), 및 게이트(136)로부터 출력되는 신호를 세트 입력으로 하고 OR 게이트(139)로부터 출력되는 신호를 리셋 입력으로 하고 1600 라인 동기신호 발생부(110)로부터 출력되는 1600 라인 동기신호를 클럭입력을 하여 787/788 디스플레이 수직동기신호를 출력하는 SR 플립플롭(1391)으로 구성된다.

이와 같이 구성되는 787/788 디스플레이 수직동기신호 발생부(130)의 동작을 제10도를 참조하여 설명하면 다음과 같다.

11비트 카운터(131)는 1600라인 동기신호 발생부(110)에서 출력되는 1600라인 동기신호를 클럭으로 사용하므로 라인 단위로 카운팅을 하게 된다.

리셋 제어부(170)로부터 출력되는 리셋신호가 '1'이 되면 11비트 카운터(131)는 '0'이 되어 초기화되고 1600라인 동기신호에 맞추어 카운팅한다. 비교기(132)에 의해 11비트 카운터(131)로부터 출력되는 값이 '1575'가 되는 순간 11비트 카운터(131)는 다시 클리어되므로 실제로 11비트 카운터(131)로부터 '0'부터 '1574'까지 총 1575 라인을 카운팅하게 된다.

11비트 카운터(131)로부터 출력되는 값이 '0'이 되면 비교기(133)의 출력에 따라 OR 게이트(136)를 통해 SR플립플롭(1391)의 셋트단자(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 11비트 카운터(131)로부터 출력되는 값이 '720'이 되면 비교기(137)의 출력에 따라 OR 게이트(130)를 통해 SR 플립플롭(1391)의 리셋단자(R)가 '1'이 되어 출력(Q)이 '0'이 된다.

또한 11비트 카운터(131)로부터 출력되는 값이 '787'이 되면 비교기(134)의 출력에 따라 OR 게이트(136)를 통해 SR플립플롭(1391)의 셋트단자(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 11비트 카운터(131)로부터 출력되는 값이 '1507'이 되면 비교기(138)의 출력에 따라 OR 게이트(139)를 통해 SR 플립플롭(1391)의 리셋단자(R)가 '1'이 되어 출력(Q)이 '0'이 된다.

이에 따라 787/788디스플레이 수직동기신호는 787 라인으로 이루어지는 현재 프레임에서 720 라인으로 이루어지는 액티브 영역이 하이 상태로 나타나고, 788라인으로 이루어지는 다음 프레임에서 720라인으로 이루어지는 액티브 영역이 하이상태로 나타난다. 즉, 787/788 디스플레이 수직동기신호 발생부(130)는 1600라인 동기신호가 720개 발생되는 동안 액티브 영역임을 나타내도록 하이상태를 갖는 787라인으로 이루어지는 디스플레이 수직동기신호와 788라인으로 이루어지는 디스플레이 수직동기신호를 번갈아 출력한다.

562/563 디스플레이 수직 동기신호 발생부(140)는 제11도에 도시한 바와 같이 2240라인 동기신호 발생부(120)로부터 출력되는 2240 라인 동기신호를 카운팅하는 11비트 카운터(141), 11비트 카운터(141)로부터 출력되는 신호를 '1125'와 비교하는 비교기(142), 비교기(142)로부터 출력되는 신호와 상기 리셋 제어수단(170)으로부터 출력되는 리셋신호를 논리합하여 상기 11비트 카운터(141)의 클리어 입력으로 하는 OR 게이트(145), 11비트 카운터(141)로부터 출력되는 신호를 '0'과 비교하는 비교기(143), 11비트 카운터(141)로부터 출력되는 신호를 '562'와 비교하는 비교기(144), 11비트 카운터(141)로부터 출력되는 신호를 '540'과 비교하는 비교기(147), 11비트 카운터(141)로부터 출력되는 신호를 '1102'와 비교하는 비교기(148), 비교기(143, 144)로부터 출력되는 신호를 논리합하는 OR게이트(146), 비교기(147, 148)로부터 출력되는 신호를 논리합하는 OR게이트(149), 및 OR 게이트(146)로부터 출력되는 신호를 세트 입력으로 하고 OR 게이트(149)로부터 출력되는 신호를 리셋 입력으로 하고 2240 라인 동기신호 발생부(120)로부터 출력되는 2240 라인 동기신호를 클럭입력으로 하여 562/563 디

스플레이 수직동기신호를 출력하는 SR 플립플롭(1491)으로 구성된다.

이와 같이 구성되는 562/563 디스플레이 수직동기신호 발생부(140)의 동작으로 설명하면 다음과 같다.

11비트 카운터(141)는 2240라인 동기신호 발생부(120)에서 출력되는 2240라인 동기신호를 클럭으로 사용하므로 라인 단위로 카운팅을 하게 된다.

리셋 제어부(170)로 부터 출력되는 리셋신호가 '1'이 되면 11비트 카운터(141)는 '0'이 되어 초기화되고 2240라인 동기신호에 맞추어 카운팅한다. 비교기(142)에 의해 11비트 카운터(141)로 부터 출력되는 값이 '1125'가 되는 순간 11비트 카운터(141)는 다시 클리어되므로 실제로 11비트 카운터(141)는 '0'부터 '1124'까지 총 1125 라인을 카운팅하게 된다.

11비트 카운터(141)로 부터 출력되는 값이 '0'이 되면 비교기(143)의 출력에 따라 OR 게이트(146)를 통해 SR 플립플롭(1491)의 셋트단자(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 11비트 카운터(141)로 부터 출력되는 값이 '540'이 되면 비교기(147)의 출력에 따라 OR 게이트(149)를 통해 SR 플립플롭(1491)의 리셋단자(R)가 '1'이 되어 출력(Q)이 '0'이 된다.

또한 11비트 카운터(141)로 부터 출력되는 값이 '562'가 되면 비교기(144)의 출력에 따라 OR 게이트(146)를 통해 SR 플립플롭(1491)의 셋트단자(S)가 '1'이 되어 출력(Q)이 '1'이 된다. 또한 11비트 카운터(141)로 부터 출력되는 값이 '1102'가 되면 비교기(148)의 출력에 따라 OR 게이트(149)를 통해 SR 플립플롭(1491)의 리셋단자(R)가 '1'이 되는 출력(Q)이 '0'이 된다.

이에 따라 562/563 디스플레이 수직동기신호는 562 라인으로 이루어지는 현재 프레임에서 540 라인으로 이루어지는 액티브 영역이 하이 상태로 나타나고, 563라인으로 이루어지는 다음 프레임에서 540라인으로 이루어지는 액티브 영역이 하이상태로 나타난다. 즉, 562/563 디스플레이 수직동기신호 발생부(140)는 2240라인 동기신호가 540개 발생되는 동안 액티브 영역임을 나타내도록 하이상태를 갖는 562라인으로 이루어지는 디스플레이 수직동기신호와 563라인으로 이루어지는 디스플레이 수직동기신호를 번갈아 출력한다.

720 프로세스 수직동기신호 발생부(150)는 제12도에 도시한 바와 같이 787/788 디스플레이 수직동기신호 발생부(130)로 부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)를 카운팅하는 4비트 카운터(151), 디코더(10)로 부터 출력되는 영상포맷정보와 4비트 카운트(151) 출력신호를 720 입력으로 하여 787/788 디스플레이 수직동기신호(787/788 BVS)를 마스킹하는 신호를 출력하는 720 마스킹부(152), 및 787/788 디스플레이 수직동기신호 발생부(130)로 부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)와 720 마스킹부(152)로 부터 출력되는 신호를 논리곱하는 AND 게이트(153)로 구성된다.

이와 같이 구성되는 720 프로세스 수직 동기신호 발생부(150)의 동작을 제14도를 참조하여 설명하면 다음과 같다.

4비트 카운터(151)는 787/788 디스플레이 수직 동기신호를 클럭으로 사용하고 리셋제어부(170)로 부터 출력되는 리셋신호가 '1'이 되면 '0'으로 초기화된 후 '9'까지 만을 카운팅한 후 다시 '0'으로 되돌아간다. 즉, 4비트 카운터(151)는 '0'으로 초기화된 후 '9'까지 만을 카운팅한 후 다시 '0'으로 되돌아간다. 즉, 4비트 카운터(151)는 '0'으로 부터 '9'까지 총 '10'을 카운팅한다.

720 마스킹부(152)는 4비트 카운터(151)의 출력과 영상 포맷 정보를 이용하여 787/788 디스플레이 수직 동기 신호로 부터 720 프로세스 수직동기신호를 만들도록 AND 게이트(153)를 제어한다.

즉, 720 마스킹부(152)는 제13도에 도시한 바와 같이 입력되는 영상 포맷 정보에 따라 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)으로 이루어지는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상 포맷(B)으로 이루어지고 4비트 카운터(151)로 부터 출력되는 신호가 짹수인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상 포맷(C)으로 이루어지고 4비트 카운터(151)로 부터 출력되는 신호가 '2, 4, 7, 9'인 경우에는 '1'을 출력하고, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)로 이루어지고 카운터(151)로 부터 출력되는 신호가 짹수인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)로 이루어지고 카운터(151)로 부터 출력되는 신호가 '0, 1, 3, 5, 6, 8'인 경우, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상 포맷(D)으로 이루어지는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)로 이루어지는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상 포맷(F)로 이루어지는 경우에는 '0'을 출력한다.

이에 따라 720마스킹부(152)에서 '0'을 출력하면 AND 게이트(153)에 의해 787/788 디스플레이 수직동기 신호에 관계없이 '0'인 720 프로세스 수직 동기신호가 출력되고, 720마스킹부(152)에서 '1'을 출력하면 AND 게이트(153)에 의해 787/788 디스플레이 수직동기신호가 그대로 720 프로세스 수직동기 신호로 출력된다.

입력되는 영상 신호의 영상 포맷(A, B, C, D, E, F)에 따라 AND 게이트(153)를 통해 출력되는 720 프로세스 수직 동기신호는 제14도에 도시한 바와 같다.

1080 프로세스 수직동기신호 발생부(160)는 제15도에 도시한 바와 같이 리셋 제어부(170)로 부터 출력되는 리셋신호를 클리어 입력으로 하고 562/563 디스플레이 수직동기신호 발생부(140)로 부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)를 카운팅하는 4비트 카운터(167), 4비트 카운터(167)로 부터 출력되는 신호를 외부로 부터 입력되는 기준클럭에 따라 래치시키는 래치(168), 디코더(10)로 부터 출력되는 영상포맷정보와 4비트 카운터(167)로 부터 출력되는 신호를 입력으로 하여 1080 마스킹 신호를

출력하는 1080 마스킹부(169), 디코더(10)로부터 출력되는 영상포맷정보와 래치(168)로부터 출력되는 신호를 입력으로 하여 1080 클리어 마스킹신호를 출력하는 1080 클리어 마스킹부(191), 562/563 디스플레이 수직동기신호 발생부(140)로부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)의 상승에지를 검출하는 상승에지 검출부(193)로 부터 출력되는 2240 라인 동기신호 발생부(120)로부터 출력되는 2240 라인 동기신호를 논리곱하는 AND 게이트(190), 2240 라인 동기신호 발생부(120)로부터 출력되는 2240 라인 동기신호를 카운팅하는 11비트 카운터(161), 11비트 카운터(161)로부터 출력되는 신호를 '1125'와 비교하는 비교기(162), 비교기(162)와 AND 게이트(190)로부터 출력되는 신호를 논리합하여 11비트 카운터(161)의 클리어 입력으로 하는 OR 게이트(165), 11비트 카운터(161)로부터 출력되는 신호를 '0'과 비교하는 비교기(163), 11비트 카운터(161)로부터 출력되는 신호를 '1080'과 비교하는 비교기(164), 비교기(163)로부터 출력되는 신호를 세트 입력으로 하고 비교기(164)로부터 출력되는 신호를 리셋 입력으로 하고 2240 라인 동기신호 발생부(120)로부터 출력되는 2240라인 동기신호를 클릭입력으로 하는 SR 플립플롭(166), 및 1080 마스킹부(169)과 SR 플립플롭(166)으로 부터 출력되는 신호를 논리곱하는 AND 게이트(190)로 구성된다.

4비트 카운터(167)는 562/563 디스플레이 수직 동기신호 발생부(140)로부터 출력되는 562/563 디스플레이 수직동기 신호를 클릭으로 하여 '0'으로 부터 '9'까지 총 10을 카운팅한다. 또한 11비트 카운터(161)는 2240 라인 동기신호 발생부(120)로부터 출력되는 2240 라인동기신호를 클릭으로 하여 '0'으로 부터 '1124'까지 총 '1125'를 카운팅하며 562/563 디스플레이 수직 동기신호의 상승에지를 검출하는 상승에지 검출부(193)의 출력신호를 1080 클리어 마스킹부(191)의 출력으로 마스킹한 신호로 클리어된다.

1080 마스킹부(169)는 제17도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720 라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우, 및 입력되는 영상신호가 1080(F)이고 4비트 카운터(167)로부터 출력되는 신호가 '0.5'인 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)이고 4비트 카운터(167)로부터 출력되는 신호가 '1, 2, 3, 4, 6, 7, 8, 9'인 경우에는 '1'을 출력한다.

또한, 1080 클리어 마스킹부(191)는 제18도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 래치(168)로부터 출력되는 신호가 흡수인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)이고 래치(168)로부터 출력되는 신호가 '1, 2, 3, 4, 6, 7, 8, 9'인 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 래치(168)로부터 출력되는 신호가 짹수인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)이고 래치(168)로부터 출력되는 신호가 짹수인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)이고 래치(168)로부터 출력되는 신호가 '0.5'인 경우에는 '1'을 출력한다.

이에 따라 1080 프로세스 수직 동기신호 발생부(160)로부터 출력되는 각 영상포맷(A, B, C, D, E, F)에 대한 1080 프로세스 수직 동기신호는 제16도에 도시한 바와 같다.

동기신호 발생부(100)에서 디스플레이 포맷과 입력되는 영상신호의 영상포맷에 따라 나타나는 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도 및 제20도에 도시하였다.

즉, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(A)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(가)에 도시한 바와 같다.

또한, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(B)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(나)에 도시한 바와 같다.

또한, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(C)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(다)에 도시한 바와 같다.

또한, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(D)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(라)에 도시한 바와 같다.

또한, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(E)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(마)에 도시한 바와 같다.

또한, 디스플레이 포맷이 순차주사방식이고 입력되는 영상신호가 영상 포맷(F)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제19도(바)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(A)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(가)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(B)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(나)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(C)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(다)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(D)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(라)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(E)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(마)에 도시한 바와 같다.

또한, 디스플레이 포맷이 비월주사방식이고 입력되는 영상신호가 영상 포맷(F)인 경우 입력 주파수 동기신호(IFS), 입력 수직동기신호(IVS), 프로세스 수직 동기신호(PVS), 및 디스플레이 수직 동기신호(DVS)는 제20도(바)에 도시한 바와 같다.

블랭킹 영역 변환부(20)의 제어부(24)는 제21도에 도시한 바와 같이 디코더(10)로부터 출력되는 입력 수직 동기신호의 상승 에지를 검출하여 톱 및 보통 FIFO 쓰기 리셋신호를 출력하는 상승 에지 검출부(241), 디코더(10)로부터 출력되는 영상 포맷 정보와 영상 구조 정보를 이용하여 읽기 마스킹 처리하는 FIFO 쓰기 마스킹부(242), 디코더(10)로부터 출력되는 입력 수직 동기신호와 입력 라인 동기신호, 및 FIFO 쓰기 마스킹부(242)로부터 출력되는 신호를 이용하여 FIFO(21, 22)의 쓰기를 제어하는 톱 및 보통 FIFO 쓰기 인에이블 신호를 출력하는 쓰기 인에이블 신호 발생부(243), 동기신호 발생부(100)로부터 출력되는 프로세스 수직 동기신호(PVS)의 상승 에지를 검출하여 톱 및 보통 FIFO 읽기 리셋신호를 출력하는 상승 에지 검출부(244), 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 읽기 마스킹 처리하는 FIFO 읽기 마스킹부(245), 및 동기신호 발생부(100)으로부터 출력되는 프로세스 수직 동기신호(PVS)와 프로세스 라인 동기신호(PLS), 및 FIFO 읽기 마스킹부(245)로부터 출력되는 신호를 이용하여 FIFO(21, 22)의 읽기를 제어하는 톱 및 보통 FIFO 읽기 인에이블 신호와 멀티플렉서(23)를 제어하는 선택신호를 출력하는 읽기 인에이블 신호 발생부(246)로 구성된다.

쓰기 인에이블 신호 발생부(243)는 디코더(10)로부터 출력되는 입력 수직동기신호와 입력 라인 동기신호를 논리곱하는 AND 게이트(2431), 디코더(10)로부터 출력되는 입력 라인 동기신호를 클럭 입력으로 하는 플립플롭(2432), 플립플롭(2432)으로부터 출력되는 신호를 반전시키는 인버터(2433), 플립플롭(2433)으로부터 출력되는 신호와 FIFO 쓰기 마스킹부(242)로부터 출력되는 출력신호(Tand)를 논리곱하는 AND 게이트(2434), 인버터(2433)로부터 출력되는 신호와 FIFO 쓰기 마스킹부(242)로부터 출력되는 출력신호(Band)를 논리곱하는 AND 게이트(2435), AND 게이트(2434)로부터 출력되는 신호와 FIFO 쓰기 마스킹부(242)로부터 출력되는 출력신호(Tor)를 논리합하는 OR 게이트(2436), AND 게이트(2435)로부터 출력되는 신호와 FIFO 쓰기 마스킹부(242)로부터 출력되는 출력신호(Bor)를 논리합하는 OR 게이트(2437), AND 게이트(2431)와 OR 게이트(2437)로부터 출력되는 신호를 논리곱하여 톱 FIFO 쓰기 인에이블 신호를 출력하는 AND 게이트(2438), 및 AND 게이트(2431)와 OR 게이트(2437)로부터 출력되는 신호를 논리곱하여 보통 FIFO 쓰기 인에이블 신호를 출력하는 AND 게이트(2439)로 구성된다.

FIFO 쓰기 마스킹부(242)는 제22도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우에는 영상 구조에 관계없이 출력신호(Tand, Tor, Band, Bor)가 '1, 1, 0, 0'로 되고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 영상 구조가 톱 필드인 경우에는 출력신호(Tand, Tor, Band, Bor)가 '1, 1, 0, 0'로 되고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 영상 구조가 보통 필드인 경우에는 출력신호(Tand, Tor, Band, Bor)가 '0, 0, 1, 1'로 되고, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(D)이고 영상 구조가 프레임인 경우에는 출력신호(Tand, Tor, Band, Bor)가 '1, 0, 1, 0'로 되고, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우에는 출력신호(Tand, Tor, Band, Bor)가 '1, 0, 1, 0'로 되고, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 출력신호(Tand, Tor, Band, Bor)가 '1, 0, 1, 0'로 되도록 이루어진다.

읽기 인에이블 신호 발생부(246)는 동기신호 발생부(100)로부터 출력되는 프로세스 수직 동기신호(PVS)와 프로세스 라인 동기신호(PLS)를 논리곱하는 AND 게이트(2461), 동기신호 발생부(100)로부터 출력되는 프로세스 수직동기신호(PVS)를 클럭 입력으로 하는 플립플롭(2462), 플립플롭(2462)과 FIFO 읽기 마스킹부(245)로부터 출력되는 신호를 논리합하는 OR 게이트(2463), OR 게이트(2463)로부터 출력되는 신호를 반전시키는 인버터(2464), AND 게이트(2461)와 OR 게이트(2463)로부터 출력되는 신호를 논리곱

하는 AND 게이트(2465), 및 AND 게이트(2461)와 인버터(2464)로 부터 출력되는 신호를 논리곱하는 AND 게이트(2467)로 구성된다.

FIFO 읽기 마스킹부(245)는 제23도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 '0'을 출력한다.

블랭킹 영역 변환부(20)의 FIFO 메모리(21, 22)에는 액티브 영역에 해당하는 데이터만이 저장되고, 읽혀지도록 되어있다. 이를 위해 디코더(10)로 부터 출력되는 입력수직 동기신호(IVS)와 입력라인 동기신호(ILS)를 AND 게이트(2431)에서 논리곱한 신호를 이용하여 FIFO 메모리(21, 22)의 쓰기 인에이를 신호를 만들고, 동시에 프로세스 수직 동기신호(PVS)와 프로세스 라인 동기신호(PLS)를 AND 게이트(2461)에서 논리곱한 신호를 이용하여 FIFO 메모리(21, 22)의 쓰기 인에이를 신호를 만든다.

이에 따라 입력되는 영상신호가 액티브 영역의 크기가 1280화소 × 720라인인 영상 포맷(A, B, C)인 경우에는 FIFO 메모리(21)에만 영상 데이터를 저장하고, 비월주사 방식인 영상포맷(D필드구조)인 경우에는 룹 필드의 영상 데이터를 FIFO 메모리(21)에 저장하고 보통 필드의 영상 데이터를 FIFO 메모리(22)에 저장하고, 액티브 영역의 크기가 1920화소 × 1080라인인 영상포맷(D 프레임구조, E, F)인 경우에는 라인 단위로 FIFO 메모리(21, 22)에 번갈아가며 저장한다.

또한, 입력되는 영상신호가 영상 포맷(D)인 경우에는 디코더(10)로 부터 출력되는 영상 구조 정보가 프레임구조를 나타내는 때에는 오드 라인이 룹필드에 속하고, 이븐 라인이 보통 필드에 속하므로, 룹인 경우 입력되는 필드 데이터 전체가 룹필드에 속하고, 보통인 경우 입력되는 필드 데이터 전체가 보통 필드에 속하도록 FIFO 메모리(21, 22)에 저장하도록 룹 및 보통 FIFO 쓰기 인에이를 신호와 읽기 인에이를 신호를 만든다.

또한, 입력되는 영상신호가 영상포맷(0)인 경우로 디코더(10)로 부터 출력되는 영상구조 정보가 필드 구조를 나타내는 때에는 입력되는 영상 데이터를 라인 단위로 FIFO 메모리(21, 22)에서 번갈아 읽어내도록 룹 및 보통 읽기 인에이를 신호를 만들어 출력하므로서 FIFO 메모리(21, 22)를 통과한 영상 데이터가 항상 프레임 구조를 이루도록 하였다.

여기서 룹 FIFO 읽기 인에이를 신호를 멀티플렉서(23)의 선택신호로 사용하도록 하여 룹 FIFO 읽기 인에이를 신호가 '1'이면 FIFO 메모리(21)에서 읽혀진 데이터가 멀티플렉서(23)에서 선택되어 출력되도록 하고, 룹 FIFO 쓰기 인에이를 신호가 '0'이면 FIFO 메모리(22)에서 읽혀진 데이터가 멀티플렉서(23)에서 선택되어 출력되도록 한다.

또한 상승에지 검출부(241)에서 검출하여 출력되는 입력 수직 동기신호(IVS)의 상승에지에 해당하는 신호는 FIFO 메모리(21, 22)의 쓰기를 리셋시키는 신호로 사용되어 애프레임마다 FIFO 메모리(21, 22)의 초기 어드레스부터 다시 새로운 영상 데이터가 저장된다. 여기서 입력되는 영상신호가 영상포맷(0)으로 필드 구조로 이루어진 경우에는 매 필드마다 FIFO 메모리(21, 22)의 초기 어드레스부터 다시 새로운 영상 데이터가 저장된다.

또한 상승에지 검출부(244)에서 검출되어 출력되는 프로세스 라인 동기신호(PLS)의 상승에지에 해당하는 신호는 FIFO 메모리(21, 22)의 읽기를 리셋시키는 신호로 사용되어 매 프레임마다 FIFO 메모리(21, 22)의 초기 어드레스부터 다시 새로운 영상 데이터를 읽어낸다.

이와 같은 동작을 통해 입력되는 영상신호의 블랭킹 영역이 변환되어 제3도와 같이 이루어진다.

IPC부(30)는 제24도에 도시한 바와 같이 블랭킹 변환부(20)의 멀티플렉서(23)로 부터 출력되는 영상신호를 라인 단위로 지연시키는 라인 지연기(31), 라인 지연기(31)로부터 출력되는 영상신호를 라인 단위로 지연시키는 라인 지연기(32), 블랭킹 변환부(20), 라인 지연기(31, 32)로부터 출력되는 영상신호를 메디안 필터링(Median Filtering)하는 메디안 필터(33), 디코더(10)로 부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 블랭킹 변환부(20)로부터 출력되는 영상신호의 IPC 바이패스를 제어하는 IPC 바이패스 제어부(34), 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)를 출력으로 하고 입력단자에 전원(Vcc)이 연결되는 T플립플롭(35), IPC 바이패스 제어부(34)와 T플립플롭(35)으로 부터 출력되는 신호를 논리합하는 OR 게이트(36), 및 OR 게이트(36)로부터 출력되는 신호의 제어에 따라 라인 지연기(31)와 메디안 필터(33)로부터 출력되는 영상신호를 선택하여 출력하는 멀티플렉서(37)로 구성된다.

IPC 바이패스 제어부(34)는 제25도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 디스플레이 포맷이 비월주사 방식인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)이고 디스플레이 포맷이 순차주사 방식인 경우에는 '0'을 출력한다.

이와 같이 구성되는 IPC부(30)의 동작을 제26도, 및 제27도를 참조하여 설명하면 다음과 같다.

블랭킹 변환부(20)의 멀티플렉서(23)로부터 출력되는 영상 신호가 라인 지연기(31, 32)를 통해 라인 단위로 지연된 후, 상하 라인과 다음 필드의 동일 위치의 최소값을 이용하는 3-포인트 메디안 필터(33)에서 제26도에 도시한 바와 같이 필터링되고 멀티플렉서(37)로 출력된다.

프로세스 라인 동기신호(PLS)는 T플립플롭(35)의 T단자에 입력되어 제27도에 도시한 바와 같이 프로세스 라인 동기신호(PLS)의 2배의 주기를 갖는 신호로 출력된다.

T플립플롭(35)과 IPC 바이패스 제어부(34)로부터 출력되는 신호는 OR 게이트(36)에서 논리합되어 멀티플렉서(37)의 선택을 제어한다. 즉, OR 게이트(36)로부터 출력되는 신호에 따라 멀티플렉서(37)에서 라인 지연기(31)와 메디안 필터(33)로부터 출력되는 신호 중 하나를 선택하여 IPC부(30)의 출력으로 한다.

다시 말해서, IPC 바이패스 제어부(34)에 의해 입력되는 영상신호가 영상포맷(D)으로 비월주사 방식이고 디스플레이 포맷이 순차주사 방식인 경우에만 T플립플롭(35)으로부터 출력되는 신호에 따라 멀티플렉서(37)에서 메디안 필터(33)와 라인 지연기(31)로부터 출력되는 신호를 번갈아 선택하여 출력한다. 또한 그외의 경우, 즉, 입력되는 영상신호가 영상포맷(A, B, C, E, F)인 경우와 입력되는 영상신호가 영상포맷(D)으로 비월주사 방식인 경우에는 바이패스되어 멀티플렉서(37)에서 계속해서 라인 지연기(31)로부터 출력되는 신호만을 선택하여 출력한다.

따라서 입력되는 영상신호가 영상포맷(D)으로 비월주사방식으로 디스플레이 포맷이 순차주사 방식인 경우 IPC부(30)에서 순차주사 방식으로 변환한다.

VDS부(40)는 제28도에 도시한 바와 같이 IPC부(30)로부터 출력되는 영상신호를 라인단위로 지연시키는 라인 지연기(41), IPC부(30)와 라인 지연기(41)로부터 출력되는 영상신호의 평균값을 계산하는 라인간 화소 평균 계산부(42), 라인간 화소 평균 계산부(42), 및 절지로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 멀티플렉서(44), 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 VDS 바이패스를 제어하는 VDS 바이패스 제어부(45), 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)를 카운팅하는 2비트 카운터(46), VDS 바이패스 제어부(45)와 2비트 카운터(46)로부터 출력되는 2비트 신호에 따라 멀티플렉서(44)를 제어하는 멀티플렉서 제어부(43), 2비트 카운터(46)로부터 출력되는 상위비트 신호와 반전된 하위비트 신호를 부정 논리곱하여 상기 2비트 카운터(46)의 로드신호 입력단(LDn)으로 출력하는 NAND 게이트(47), 및 VDS 바이패스 제어부(45)와 NAND 게이트(47)로부터 출력되는 신호를 논리합시켜 VDS 읽기 인에이블 신호를 프레임을 변환부(80)로 출력하는 OR 게이트(48)로 구성된다.

라인간 화소 평균 계산부(42)는 IPC부(30)와 라인 지연기(41)로부터 출력되는 영상신호를 가산하는 가산기(421), 및 가산기(421)로부터 출력되는 신호에 1/2을 곱하는 1/2 곱셈기(422)로 구성된다.

멀티플렉서 제어부(43)는 VDS 바이패스 제어부(45)로부터 출력되는 신호를 반전시키는 인버터(433), 2비트 카운터(46)로부터 출력되는 상위비트 신호와 인버터(433)로부터 출력되는 신호를 논리곱하는 AND 게이트(432), 및 2비트 카운터(46)로부터 출력되는 하위비트 신호와 인버터(433)로부터 출력되는 신호를 논리곱하는 AND 게이트(431)로 구성된다.

VDS 바이패스 제어부(45)는 제29도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상 포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 '0'을 출력한다.

이와 같이 구성되는 VDS부(40)의 동작을 제30도 및 제31도를 참조하여 설명하면 다음과 같다.

IPC부(30)로부터 출력되는 영상 신호는 라인 지연기(41)를 통해 라인 단위로 지연된 후, IPC부(30)로부터 출력되는 영상신호와 함께 라인간 화소 평균 계산부(42)로 입력되어 제30도에 도시한 바와 같이 라인간 화소 평균 계산부(42)에 의해 상하 라인의 동일한 위치의 화소값이 계산된다.

라인 지연기(41)와 라인간 화소 평균 계산부(42)로부터 출력되는 영상신호가 멀티플렉서(44)에서 멀티플렉서 제어부(43)의 제어에 따라 선택되어 출력된다.

프로세스 라인 동기신호(PLS)는 2비트 카운터(46)에서 카운팅되는데, 2비트 카운터(46)로부터 출력되는 상하위 비트(QB, QA)는 인버터(49)와 NAND 게이트(47)를 통해 처리된 후 2비트 카운터(46)의 클리어 신호 입력단(CL)으로 입력되어 2비트 카운터(46)를 클리어시킨다. 따라서 2비트 카운터(46)는 프로세스 라인 동기신호(PLS)를 클럭으로 '0'으로부터 '2'까지 총 '3'을 카운팅하여 제31도에 도시한 바와 같은 신호를 출력하게 된다.

2비트 카운터(46)로부터 인버터(49)와 NAND 게이트(47)를 통해 출력되는 신호와 VDS 바이패스 제어부(45)로부터 출력되는 신호는 OR 게이트(48)에서 논리합되어 31도에 도시한 바와 같이 VDS 읽기 인에이블 신호(VDS-W)로 프레임을 변환부(80)의 제어부(84)로 출력된다.

멀티플렉서 제어부(43)의 제어에 따라 멀티플렉서(44)로부터 출력되는 영상 신호는 제31도에 도시한 바와 같이 나타나고, VDS 바이패스 제어부(45)의 제어에 따라 입력되는 영상신호가 영상포맷(D, E, F)인 경우 수직 방향으로 3:2 다운 샘플링이 수행된다.

즉, 입력되는 영상신호가 영상포맷(D, E, F)인 경우 단일 클럭만을 사용하므로 VDS 읽기 인에이블 신호(VDS-W)가 제어부(84)로 입력되어 하이 레벨 상태인 경우에만 프레임을 변환부(80)의 FIFO

메모리(81)에 쓰고, 디스플레이 포맷의 액티브 영역내에서 계속 읽으면 3:2 다운 샘플링이 완전히 수행된다.

또한, 그외에 입력되는 영상신호가 영상포맷(A, B, C)인 경우에는 VDS 바이패스 제어부(45)의 제어에 따라 다운 샘플링이 이루어지지 않고, 라인 지연기(41)로 부터 멀티플렉서(44)를 통해 그대로 출력된다.

PIC부(50)는 제32도에 도시한 바와 같이 IPC부(30)로 부터 출력되는 영상신호를 라인단위로 지연시키는 라인 지연기(51), PIC부(30)와 라인 지연기(51)로 부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 라인간 화소 가중평균 계산부(52), PIC부(30)와 라인 지연기(51)로 부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 라인간 화소 가중평균 계산부(53), 라인 지연기(51)와 라인간 화소 가중 평균 계산부(52, 53)와 절지로 부터 출력되는 신호 중에서 하나를 선택하여 출력하는 멀티플렉서(54), 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 PIC 바이패스를 제어하는 PIC 바이패스 제어부(56), 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)를 카운팅하는 2비트 카운터(59), PIC 바이패스 제어부(56)와 2비트 카운터(59)로부터 출력되는 신호를 이용하여 멀티플렉서(54)를 제어하는 신호를 출력하는 멀티플렉서 제어부(55), 라인 지연기(51)와 라인간 화소 가중 평균 계산부(52, 53)과 절지로 부터 출력되는 신호 중에서 하나를 선택하여 출력하는 멀티플렉서(57), PIC 바이패스 제어부(56)와 2비트 카운터(59)로부터 출력되는 신호를 이용하여 멀티플렉서(57)를 제어하는 신호를 출력하는 멀티플렉서 제어부(58), 및 2비트 카운터(59)와 PIC 바이패스 제어부(56)로부터 출력되는 신호를 이용하여 톱(Top) 및 보텀(Bottom) PIC 쓰기 인에이블 신호를 발생시켜 프레임을 변환부(80)으로 출력하는 쓰기 인에이블 신호 발생부(591)로 구성된다.

라인간 화소 가중평균 계산부(52)는 IPC부(30)로부터 출력되는 영상신호에 1/3을 곱하는 1/3 곱셈기(521), 라인 지연기(51)로부터 출력되는 영상신호에 2/3을 곱하는 2/3 곱셈기(522), 및 1/3 곱셈기(521)와 2/3곱셈기(522)로부터 출력되는 신호를 가산하는 가산기(523)로 구성된다.

라인간 화소 가중평균 계산부(53)는 IPC부(30)로부터 출력되는 영상신호에 2/3을 곱하는 2/3 곱셈기(531), 라인 지연기(51)로부터 출력되는 영상신호에 1/3을 곱하는 1/3 곱셈기(532), 및 2/3곱셈기(531)와 1/3곱셈기(532)로부터 출력되는 신호를 가산하는 가산기(533)로 구성된다.

멀티플렉서 제어부(55)는 PIC 바이패스 제어부(56)로부터 출력되는 신호를 반전시키는 인버터(551), 인버터(551)로부터 출력되는 신호와 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 논리곱하는 AND 게이트(552), 및 인버터(551)로부터 출력되는 신호와 2비트 카운터(59)로부터 출력되는 하위 비트 신호를 논리곱하는 AND 게이트(553)로 구성된다.

멀티플렉서 제어부(58)는 PIC 바이패스 제어부(56)로부터 출력되는 신호와 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 논리합하는 OR 게이트(581), 및 PIC 바이패스 제어부(56)로부터 출력되는 신호를 반전시켜 2비트 카운터(59)로부터 출력되는 하위비트 신호와 논리곱하는 AND 게이트(582)로 구성된다.

PIC 바이패스 제어부(56)는 제33도에 도시한 바와같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(8)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(0)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 '1'을 출력한다.

쓰기 인에이블 신호 발생부(591)는 2비트 카운터(59)로부터 출력되는 상위비트 신호와 하위비트 신호를 부정 논리곱하는 NAND 게이트(593), 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 반전시키는 인버터(592), 그비트 카운터(59)로부터 출력되는 하위비트 신호와 상기 인버터(592)로부터 출력되는 신호를 부정 논리곱하는 NAND 게이트(594), PIC 바이패스 제어부(56)로부터 출력되는 신호와 NAND 게이트(592)로부터 출력되는 신호를 논리합하여 보텀 PIC 쓰기 인에이블 신호를 출력하는 OR 게이트(595), 및 PIC 제어부(56)로부터 출력되는 신호와 NAND 게이트(594)로부터 출력되는 신호를 논리합하여 보텀 PIC 쓰기 인에이블 신호를 출력하는 OR 게이트(596)로 구성된다.

이와 같이 구성되는 PIC부(50)의 동작을 제34도 및 제35도를 참조하여 설명하면 다음과 같다.

IPC부(30)로부터 출력되는 영상신호는 라인 지연기(51)에서 라인 단위로 지연된 후, IPC부(30)로부터 출력되는 영상신호와 함께 라인간 화소 가중평균 계산부(52)에 입력되어 해당하는 가중치를 곱해져 멀티플렉서(54, 57)로 출력된다. 즉, 제34도에 도시한 바와 같이 라인지연기(51)로부터 출력되는 상위라인의 해당 화소에는 2/3이 곱해지고, IPC부(30)로부터 출력되는 하위라인의 해당 화소에는 1/3이 곱해진 후 가산기(523)에서 가산되어 멀티플렉서(54)로 출력되고, 라인지연기(51)로부터 출력되는 상위라인의 해당 화소에는 1/3이 곱해지고, IPC부(30)로부터 출력되는 하위라인의 해당 화소에는 2/3이 곱해진 후 가산기(533)에서 가산되어 멀티플렉서(54, 57)로 출력된다.

프로세스 라인 동기신호(PLS)는 2비트 카운터(59)의 클럭으로 입력되어 '0'에서 '3'까지 총 '4'가 카운팅된다.

입력된 영상신호 영상 포맷(A, B, C, D, E, F)에 따라 PIC 바이패스 제어부(56)로부터 출력되는 신호는 인버터(551)에서 반전된 후, 2비트 카운터(59)로부터 출력되는 상하위 비트(QB, QA)와 함께 AND 게이트(552, 553)에 입력되어 논리곱된다. AND 게이트(552, 553)로부터 출력되는 신호는 멀티플렉서(54)의 선택을 제어하여 톱 필드의 영상데이터를 출력시킨다. 즉, AND 게이트(552, 553)로부터 출력되는 신호에 따라 멀티플렉서(54)에서 라인 지연기(51), 가산기(523), 가산기(533), 및 절지로부터 출력되는 신호를 순차적으로 선택하여 톱 필드의 영상 데이터로 출력한다.

또한, 인버터(551)에서 반전되어 출력되는 신호는 2비트 카운터(59)로부터 출력되는 하위 비트(QA)와

함께 AND 게이트(582)에 입력되어 논리곱되고, PIC 바이패스 제어부(56)로 부터 출력되는 신호는 2비트 카운터(59)로 부터 출력되는 상위비트(QB)와 함께 OR 게이트(581)에 입력되어 논리합된다. AND 게이트(582)와 OR 게이트(581)로 부터 출력되는 신호는 멀티플렉서(57)의 선택을 제어하여 보통 필드의 영상 데이터를 출력시킨다. 즉, AND 게이트(582)와 OR 게이트(581)로 부터 출력되는 신호에 따라 멀티플렉서(57)에서 가산기(533), 절지, 라인 지연기(51), 및 가산기(523)로 부터 출력되는 신호를 순차적으로 선택하여 보통 필드의 영상 데이터로 출력한다.

이와 같이 처리되어 멀티플렉서(54, 57)로 부터 선택되어 출력되는 톱 필드와 보통 필드의 영상 데이터는 제35도에 도시한 바와 같이 나타난다.

2비트 카운터(59)로 부터 출력되는 상위비트(QA, QB)는 NAND 게이트(593)에서 부정 논리곱된 후 OR 게이트(595)에서 PIC 바이패스 제어부(56)로 부터 출력되는 신호와 논리합되어 톱 PIC 쓰기 인에이를 신호(PIC-W-T)로 프레임을 변환부(80)의 제어부(84)로 출력된다.

또한, 2비트 카운터(59)로 부터 출력되는 인버터(592)를 통해 반전된 상위비트(QB)는 2비트 카운터(59)로 부터 출력되는 하위비트(QA)와 함께 NAND 게이트(594)에 입력된 후 부정 논리곱되고 OR 게이트(596)에서 PIC 바이패스 제어부(56)로 부터 출력되는 신호와 논리합되어 제35도에 도시한 바와 같이 보통 PIC 쓰기 인에이를 신호(PIC-W-B)로 프레임을 변환부(80)의 제어부(84)로 출력된다.

PIC 바이패스 제어부(56)의 제어에 따라 입력되는 영상신호가 영상포맷(A, B, C)인 경우 톱 필드 및 보통 필드에 맞게 수직 방향으로 4:3 다운 샘플링이 수행된다.

즉, 입력되는 영상신호가 영상포맷(A, B, C)인 경우 톱 및 보통 PIC 쓰기 인에이를 신호(PIC-W-T, PIC-W-B)가 제어부(84)로 입력되어 하이 레벨 상태인 경우에만 프레임을 변환부(80)의 FIFO 메모리(81, 82)에 쓰고, 디스플레이 포맷의 액티브 영역내에서 계속 읽으면 4:3 다운 샘플링이 완전히 수행된다.

또한, 그외에 입력되는 영상신호가 영상포맷(D, E, F)인 경우에는 PIC 바이패스 제어부(56)의 제어에 따라 다운 샘플링이 이루어지지 않고, 라인 지연기(51)로 부터 멀티플렉서(54, 57)를 통해 그대로 출력된다.

HDS부(70)는 제36도에 도시한 바와 같이 멀티플렉서(60)로 부터 출력되는 영상신호를 화소 단위로 지연시키는 래치(71), 멀티플렉서(60)와 래치(710)로 부터 출력되는 영상신호의 평균을 계산하는 라인내 화소간 평균 계산부(72), 래치(71), 라인내 화소간 평균 계산부(72), 및 절지로 부터 출력되는 신호 중에서 하나를 선택하여 출력하는 멀티플렉서(73), 디코더(10)로 부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 HDS 바이패스를 제어하는 HDS 바이패스 제어부(75), HDS 바이패스 제어부(75)로 부터 출력되는 신호를 이용하여 멀티플렉서(73)를 제어하는 멀티플렉서 제어부(74), 기준클럭을 카운팅하는 2비트 카운터(76), 2비트 카운터(76)로 부터 출력되는 하위비트 신호를 반전시키는 인버터(77), 인버터(77)로 부터 출력되는 신호와 2비트 카운터(76)로 부터 출력되는 상위비트 신호를 부정 논리곱하여 2비트 카운터(76)의 클리어 신호 입력단(CI)으로 출력하는 NAND 게이트(78), 및 HDS 바이패스 제어부(75)와 NAND 게이트(78)로 부터 출력되는 신호를 논리합하여 프레임을 변환부(80)으로 HDS 쓰기 인에이를 신호를 출력하는 OR 게이트(79)로 구성된다.

라인내 화소간 평균 계산부(72)는 멀티플렉서(60)와 래치(71)로 부터 출력되는 신호를 가산하는 가산기(721), 및 가산기(721)로 부터 출력되는 신호에 1/2를 곱하는 1/2 곱셈기(722)로 구성된다.

HDS 바이패스 제어부(75)는 제37도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우에는 디스플레이 포맷에 관계없이 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우로 디스플레이 포맷이 비월주사 방식인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우로 디스플레이 포맷이 순차주사 방식인 경우에는 '0'을 출력한다.

이와 같이 구성되는 HDS부(70)의 동작을 제38도 및 제39도를 참조하여 설명하면 다음과 같다.

멀티플렉서(60)로 부터 출력되는 영상신호는 래치(71)에서 최소 단위로 지연된 후, 멀티플렉서(60)로 부터 출력되는 영상신호와 함께 라인내 화소간 평균 계산부(72)에 입력되어 계산된 후 멀티플렉서(73)로 출력된다.

즉, 제38도에 도시한 바와 같이 래치(71)와 멀티플렉서(60)로 부터 출력되는 화소는 가산기(721)와 1/2 곱셈기(722)를 통해 평균값이 계산되어 멀티플렉서(73)로 출력된다.

외부로 부터 입력되는 기준클럭은 2비트 카운터(76)의 클럭으로 입력되어 '0'에서 '2'까지 총 '3'이 카운팅된다. 즉, 2비트 카운터(76)로 부터 출력되는 인버터(77)에서 반전되는 하위비트(QA)는 2비트 카운터(76)로 부터 출력되는 상위비트(QB)와 함께 NAND 게이트(78)에서 부정 논리곱된 후 2비트 카운터(76)의 클리어 신호 입력단(CI)로 입력되어 2비트 카운터(76)를 클리어시키므로 2비트 카운터(76)로 부터 출력되는 신호는 제39도에 도시한 바와 같다.

입력되는 영상신호 영상 포맷(A, B, C, D, E, F) 정보와 디스플레이 포맷 신호(prog)에 따라 HDS 바이패스 제어부(75)로 부터 출력되는 신호는 인버터(743)에서 반전된 후, 2비트 카운터(76)로 부터 출력되는

상하위 비트(Q8, QA)와 함께 AND 게이트(742, 741)에 입력되어 논리곱된다. AND 게이트(742, 741)로부터 출력되는 신호는 멀티플렉서(73)의 선택을 제어하여 영상 데이터를 출력시킨다. 즉, AND 게이트(742, 741)로부터 출력되는 신호에 따라 멀티플렉서(73)에서 래치(71), 1/2곱셈기(722), 및 점지로 부터 출력되는 신호를 순차적으로 선택하여 영상 데이터로 출력한다.

이와 같이 멀티플렉서(73)로부터 선택되어 출력되는 영상 데이터는 제39도에 도시한 바와 같이 나타난다.

NAND 게이트(78)에서 출력되는 신호는 OR 게이트(79)에서 HDS 바이패스 제어부(75)로부터 출력되는 신호와 논리합되어 제39도에 도시한 바와 같이 HDS 쓰기 인에이블 신호(HDS-W)로 프레임을 변환부(80)의 제어부(84)로 출력된다.

HDS 바이패스 제어부(75)의 제어에 따라 입력되는 영상신호가 영상포맷(D, E, F)이고 디스플레이 방식이 순차주사 방식인 경우 수평 방향으로 3:2다운 샘플링이 수행된다.

즉, 입력되는 영상신호가 영상포맷(D, E, F)인 경우 HDS 쓰기 인에이블 신호(HDS-W)가 제어부(84)로 입력되어 하이 레벨 상태인 경우에만 프레임을 변환부(80)의 FIFO 메모리(81)에 쓰고, 디스플레이 포맷의 액티브 영역내에서 계속 읽으면 3:2 다운 샘플링이 완전히 수행된다.

또한, 그외에 입력되는 영상신호가 영상포맷(A, B, C)인 경우에는 HDS 바이패스 제어부(75)의 제어에 따라 다운 샘플링이 이루어지지 않고, 래치(71)로부터 멀티플렉서(73)를 통해 그대로 출력된다.

프레임을 변환부(80)의 제어부(84)는 제40도에 도시한 바와 같이 동기신호 발생부(100)로부터 출력되는 프로세스 수직 동기신호(PVS)의 상승 에지를 검출하여 톱 및 보통 FIFO 쓰기 리셋신호(FIFO2-T-W, FIFO2-B-W)를 출력하는 상승 에지 검출부(841), 동기신호 발생부(100)로부터 출력되는 프로세스 수직동기신호(PVS)와 프로세스 라인 동기신호(PLS), PIC부(50)로부터 출력되는 톱 및 보통 PIC 쓰기 인에이블 신호(PIC-W-T, PIC-W-B), VDS부(40)로부터 출력되는 VDS 쓰기 인에이블 신호(VDS-W), 및 HDS부(70)로부터 출력되는 HDS 쓰기 인에이블 신호(HDS-W)를 이용하여 디스플레이 포맷에 따라 FIFO 메모리(81, 82)의 쓰기를 제어하는 톱 및 보통 FIFO 쓰기 인에이블 신호(FIFO2-T-W, FIFO2-B-W)를 출력하는 쓰기 인에이블 신호 발생부(842), 동기신호 발생부(100)로부터 출력되는 디스플레이 수직 동기신호(DVS)의 상승 에지를 검출하여 톱 및 보통 FIFO 읽기 리셋신호(FIFO2-T-RR, FIFO2-B-RR)를 출력하는 상승 에지 검출부(843), 및 동기신호 발생부(100)로부터 출력되는 디스플레이 수직 동기신호(DVS)와 디스플레이 라인 동기신호(DLS), 및 HUS부(90)로부터 출력되는 제어신호를 이용하여 FIFO(81, 82)의 읽기를 제어하는 톱 및 보통 FIFO 읽기 인에이블 신호(FIFO2-T-R, FIFO2-B-R)와 멀티플렉서(83)를 제어하는 선택신호(M3S)를 출력하는 읽기 인에이블 신호 발생부(844)로 구성된다.

쓰기 인에이블 신호 발생부(842)는 동기신호 발생부(100)로부터 출력되는 프로세스 수직 동기신호(PVS)를 2라인 지연시키는 2라인 지연기(8421), 2라인 지연기(8421)와 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)를 논리곱하는 AND 게이트(8422), 디스플레이 포맷에 따라 PIC부(50)로부터 출력되는 톱 PIC 쓰기 인에이블 신호(PIC-W-T)와 VDS부(40)로부터 출력되는 VDS 쓰기 인에이블 신호(VDS-W) 중에서 하나를 선택하여 출력하는 멀티플렉서(8423), AND 게이트(8422)와 멀티플렉서(8423)로부터 출력되는 신호를 논리곱하는 AND 게이트(8424)로부터 출력되는 신호를 래치시키는 래치(8425), HDS부(8426)로부터 출력되는 HDS 쓰기 인에이블 신호(HDS-W)와 래치(8425)로부터 출력되는 신호를 논리곱하여 톱 FIFO 쓰기 인에이블 신호(FIFO2-T-W)를 출력하는 AND 게이트(8426), 디스플레이 포맷을 나타내는 순차주사 신호를 반전시키는 인버터(8427), PIC부(50)로부터 출력되는 보통 PIC 쓰기 제어신호(PIC-W-B)와 인버터(8427)로부터 출력되는 신호를 논리곱하는 AND 게이트(8428), 및 AND 게이트(8422, 8428)로부터 출력되는 신호를 논리곱하여 보통 FIFO 쓰기 인에이블 신호(FIFO2-B-W)를 출력하는 AND 게이트(8429)로 구성된다.

읽기 인에이블 신호 발생부(844)는 동기신호 발생부(100)로부터 출력되는 디스플레이 수직 동기신호(DVS)를 클럭 입력으로 하는 T플립플롭(8441), T플립플롭(8441)으로부터 출력되는 신호와 디스플레이 포맷을 나타내는 순차주사 신호를 논리합하는 OR 게이트(8442), OR 게이트(8442)로부터 출력되는 신호를 반전시키는 인버터(8443), 동기신호 발생부(100)로부터 출력되는 디스플레이 수직 동기신호(DVS)와 디스플레이 라인 동기신호(DLS)를 논리곱하는 AND 게이트(8444), HUS부(90)로부터 출력되는 제어신호와 AND 게이트(8444)로부터 출력되는 신호를 논리곱하는 AND 게이트(8445), OR 게이트(8442)와 AND 게이트(8445)로부터 출력되는 신호를 논리곱하여 보통 FIFO 읽기 인에이블 신호(FIFO2-B-R)를 출력하는 AND 게이트(8447)로 구성된다.

이와 같이 구성되는 제어부(84)의 동작을 앞의 제19도와 제20도를 참조하여 설명하면 다음과 같다.

동기신호 발생부(100)에서 발생된 프로세스 수직 동기신호(PVS)는 상승 에지 검출부(841)에서 상승 에지가 검출되어 FIFO 메모리(81, 82)의 쓰기 리셋신호로 사용되는 톱 및 보통 FIFO 쓰기 리셋신호(FIFO2-T-W, FIFO2-B-W)로 출력된다.

동기신호 발생부(100)로부터 출력되는 프로세스 수직동기신호(PVS)는 2라인 지연기(8421)에서 2라인의 크기만큼 지연된 후 동기신호 발생부(100)로부터 출력되는 프로세스 라인 동기신호(PLS)와 AND 게이트(8422)에서 논리곱된다.

또한 PIC부(50)로부터 출력되는 톱 PIC 쓰기 인에이블 신호(PIC-W-T)와 VDS부(40)로부터 출력되는 VDS 쓰기 인에이블 신호(VDS-W)는 멀티플렉서(8423)에서 입력되는 디스플레이 포맷신호(prog)에 따라 선택되어 출력된다. 즉, 입력되는 디스플레이 포맷신호(prog)가 '1'로 순차주사방식을 나타내는 경우에는 멀티플렉서(8423)에서 VDS부(40)로부터 출력되는 VDS 쓰기 인에이블 신호(VDS-W)가 선택되어 출력되고, 입력되는 디스플레이 포맷신호(prog)가 '0'으로 비월주사 방식을 나타내는 경우에는 멀티플렉서(8423)에서 PIC부(50)로부터 출력되는 톱 PIC 쓰기 인에이블 신호(PIC-W-T)가 선택되어 출력된다.

AND 게이트(8422)와 멀티플렉서(8423)로부터 출력되는 신호는 AND 게이트(8424)에서 논리곱되고 래치(8425)에서 래치된 후 HDS부(40)로부터 출력되는 HDS 쓰기 인에이블 신호(HDS-W)와 AND 게이트(8426)

에서 논리곱되어 FIFO 메모리(81)의 쓰기를 제어하는 룹 FIFO 쓰기 인에이블 신호(FIF02-T-W)로 출력된다.

또한 PIC부(50)로 부터 출력되는 보통 PIC 쓰기 인에이블 신호(PIC-W-B)는 인버터(8427)에 의해 반전된 디스플레이 포맷신호(prog)와 AND 게이트(8428)에서 논리곱된 후 AND 게이트(8422)에서 출력되는 신호와 AND 게이트(8429)에서 논리곱되어 FIFO 메모리(82)의 쓰기를 제어하는 보통 FIFO 쓰기 인에이블 신호(FIF02-B-W)로 출력된다.

동기신호 발생부(100)로 부터 출력되는 디스플레이 수직 동기신호(DVS)는 상승 에지 검출부(843)에서 상기 에지가 검출되어 FIFO 메모리(81, 82)의 읽기 리셋신호로 사용되는 룹 및 보통 FIFO 읽기 리셋호(FIF02-T-R, FIF02-B-R)로 출력된다.

동기신호 발생부(100)로 부터 출력되는 디스플레이 수직동기신호(DVS)는 T플립플롭(8441)의 클럭단자로 입력되어 지연된 후 디스플레이 포맷신호(prog)와 OR 게이트(8442)에서 논리합된다.

또한 동기신호 발생부(100)로 부터 출력되는 디스플레이 수직동기신호(DVS)와 디스플레이 라인 동기신호(DLS)는 AND 게이트(8444)에서 논리곱되고, HUS부(90)로 부터 출력되는 HUS 읽기 인에이블 신호(HUS-R)와 AND 게이트(8445)에서 논리곱된다.

OR 게이트(8442)와 AND 게이트(8445)로 부터 출력되는 신호는 AND 게이트(8446)에서 논리곱되어 FIFO 메모리(81)의 읽기를 제어하는 룹 FIFO 읽기 인에이블 신호(FIF02-T-R)로 출력된다. 또한 AND 게이트(8446)로 부터 출력되는 신호는 멀티플렉서(83)의 선택을 제어하는 선택신호(M3S)로 이용된다.

OR 게이트(8442)로 부터 출력되는 신호는 인버터(8443)에서 반전되고 AND 게이트(8447)에서 AND 게이트(8445)로 부터 출력되는 신호와 논리곱되어 FIFO 메모리(82)의 읽기를 제어하는 보통 FIFO 읽기 인에이블 신호(FIF02-B-R)로 출력된다.

이와 같이 제어부(84)로 부터 출력되는 신호에 따라 디스플레이 포맷이 순차주사 방식인 경우에는 FIFO 메모리(81)에서만 영상 데이터를 읽어내고, 디스플레이 포맷이 비월주사방식인 경우에는 FIFO 메모리(81)와 FIFO 메모리(82)에서 각각 룹 필드의 영상 데이터와 보통 필드의 영상 데이터를 필드마다 번갈아가며 읽어낸다.

즉, 디스플레이 포맷이 순차주사 방식인 경우에는 제19도의 (가)(나)(다)(라)(마)(바)의 디스플레이 수직동기신호(DVS)의 신호 패형에 도시한 바와 같이 프레임율이 60Hz, 30Hz, 24Hz인 영상 데이터가 프레임율이 모두 60Hz인 영상 데이터로 변환되어 출력된다. 또한, 디스플레이 포맷이 비월주사 방식인 경우에는 제20도의 (가)(나)(다)(라)(마)(바)의 디스플레이 수직동기신호(DVS)의 신호 패형에 도시한 바와 같이 프레임율이 60Hz, 30Hz, 24Hz인 영상 데이터가 필드율이 모두 60Hz인 영상 데이터로 변환되어 출력된다.

HUS부(90)는 제41도에 도시한 바와 같이 프레임을 변환부(80)로 부터 출력되는 영상신호를 화소 단위로 지연시키는 래치(91), 래치(91)로부터 출력되는 영상신호를 화소단위로 지연시키는 래치(92), 프레임을 변환부(80)와 래치(92)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 라인내 화소간 가중평균 계산부(93), 래치(91, 92)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 라인내 화소간 가중평균 계산부(94), 래치, 라인내 화소간 가중평균계산부(93, 94), 및 프레임을 변환부(80)로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 멀티플렉서(95), 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 HUS의 바이패스를 제어하는 HUS 바이패스 제어부(96), 입력되는 기준클럭을 카운팅하는 2비트 카운터(98), HUS 바이패스 제어부(96)와 2비트 카운터(98)로부터 출력되는 신호를 이용하여 멀티플렉서(95)를 제어하는 선택신호를 출력하는 멀티플렉서 제어부(97), 및 HUS 바이패스 제어부(96)와 2비트 카운터(98)로부터 출력되는 신호를 이용하여 HUS 읽기 인에이블 신호를 발생시켜 프레임을 변환부(80)로 출력하는 HUS 읽기 인에이블 신호 발생부(99)로 구성된다.

라인내 화소간 가중평균 계산부(93)는 래치(92)로부터 출력되는 영상신호에 2/3를 곱하는 2/3 곱셈기(931), 프레임을 변환부(80)로부터 출력되는 영상신호에 1/3을 곱하는 1/3 곱셈기(932), 및 2/3 곱셈기(931)와 1/3 곱셈기(932)로부터 출력되는 신호를 가산하여 멀티플렉서(95)로 출력하는 가산기(933)로 구성된다.

라인내 화소간 가중평균 계산부(94)는 래치(91)로부터 출력되는 영상신호에 2/3를 곱하는 2/3 곱셈기(941), 래치(92)로부터 출력되는 영상신호에 1/3을 곱하는 1/3 곱셈기(942), 및 2/3 곱셈기(941)와 1/3 곱셈기(942)로부터 출력되는 신호를 가산하여 멀티플렉서(95)로 출력하는 가산기(943)로 구성된다.

HUS 바이패스 제어부(96)는 제42도에 도시한 바와 같이 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우로 디스플레이 포맷이 비월주사 방식인 경우에는 '0'을 출력하고, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 영상포맷(A)인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 영상포맷(B)인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 영상포맷(C)인 경우로 디스플레이 포맷이 순차주사 방식인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 영상포맷(D)인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 영상포맷(E)인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 영상포맷(F)인 경우에는 '1'을 출력하도록 구성된다.

멀티플렉서 제어부(97)는 HUS 바이패스 제어부(96)로부터 출력되는 신호와 2비트 카운터(98)로부터 출력되는 하위비트 신호를 논리합하여 멀티플렉서(95)를 제어하는 선택신호로 출력하는 OR 게이트(971), 및 HUS 바이패스 제어부(96)로부터 출력되는 신호와 2비트 카운터(98)로부터 출력되는 상위비트 신호를 논리합하여 멀티플렉서(95)를 제어하는 선택신호로 출력하는 OR 게이트(972)로 구성된다.

HUS 읽기 인에이블 신호 발생부(99)는 2비트 카운터(98)로부터 출력되는 하위비트 신호를 반전시키는 인버터(991), 2비트 카운터(98)로부터 출력되는 상위비트 신호와 인버터(991)로부터 출력되는 신호를 부정 논리곱하여 2비트 카운터(98)의 클리어 신호 입력단자(C1)로 출력하는 NAND 게이트(992), 및 NAND 게이트(992)와 HUS 바이패스 제어부(96)로부터 출력되는 신호를 논리합하는 OR 게이트(993)로 구성된다.

이와 같이 구성되는 HUS부(90)의 동작을 제43도 및 제44도를 참조하여 설명하면 다음과 같다.

프레임을 변환부(80)로부터 출력되는 영상데이터는 래치(91, 92)에서 화소 단위로 지연된 후, 프레임을 변환부(80)로부터 출력되는 영상신호와 함께 라인내 화소간 가중평균 계산부(93)에 입력되어 계산된 후 멀티플렉서(95)로 출력된다. 또한, 래치(91, 92)로부터 각각 출력되는 영상데이터는 라인내 화소간 가중평균 계산부(94)에 입력되어 계산된 후 멀티플렉서(95)로 출력된다.

즉, 제43도에 도시한 바와 같이 래치(92)와 프레임을 변환부(80)로부터 출력되는 화소는 2/3곱셈기(931)와 1/3곱셈기(932)에서 각각 2/3과 1/3이 곱해지고 가산기(933)에서 가산되므로 가중평균값이 계산되어 멀티플렉서(95)로 출력되고, 래치(91, 92)로부터 출력되는 화소는 2/3곱셈기(941)와 1/3곱셈기에서 각각 2/3과 1/3이 곱해지고 가산기(943)에서 가산되므로 가중평균값이 계산되어 멀티플렉서(95)로 출력된다.

외부로 부터 입력되는 기준클럭은 2비트 카운터(98)의 클럭으로 입력되어 '0'에서 '2'까지 총 '3'이 카운팅된다. 즉, 2비트 카운터(98)로부터 출력되어 인버터(991)에서 반전되는 하위비트(QA)는 2비트 카운터(98)로부터 출력되는 상위비트(QB)와 함께 NAND 게이트(992)에서 부정 논리곱된 후 2비트 카운터(98)의 클리어 신호 입력단자(C1)로 입력되어 2비트 카운터(98)를 클리어시키므로 2비트 카운터(98)로부터 출력되는 신호는 제44도에 도시한 바와 같다.

입력되는 영상신호의 영상 포맷(A, B, C, D, E, F) 정보와 디스플레이 포맷 신호(prog)에 따라 HUS 바이패스 제어부(96)로부터 출력되는 신호는 2비트 카운터(98)로부터 출력되는 상하위 비트(QB, QA)와 함께 OR 게이트(972, 971)에 입력되어 각각 논리곱된다. OR 게이트(972, 971)로부터 출력되는 신호는 멀티플렉서(95)의 선택을 제어하여 영상데이터를 출력시킨다.

즉, OR 게이트(972, 971)로부터 출력되는 신호에 따라 멀티플렉서(95)에서 간산기(933), 래치(91), 가산기(943), 및 프레임을 변환부(80)로부터 출력되는 신호를 순차적으로 선택하여 영상 데이터로 출력한다.

이와 같은 멀티플렉서(95)로부터 선택되어 출력되는 영상 데이터는 제44도에 도시한 바와 같이 나타난다.

NAND 게이트(992)에서 출력되는 신호는 OR 게이트(993)에서 HUS신호 바이패스 제어부(96)로부터 출력되는 신호와 논리합되어 제44도에 도시한 바와 같이 HUS 읽기 인에이블 신호(HUS-R)로 프로임을 변환부(80)의 제어부(84)로 출력된다.

HUS 바이패스 제어부(96)의 제어에 따라 입력되는 영상신호가 영상포맷(A, B, C)이고 디스플레이 방식이 비월주사 방식인 경우 바향으로 2:3업 샘플링이 수행된다.

즉, 입력되는 영상신호가 영상포맷(A, B, C)이고 디스플레이 포맷이 바월주사방식인 경우 HUS 읽기 인에이블 신호(HUS-R)가 제어부(84)로 입력되어 로우 레벨 상태은 경우에는 프레임을 변환부(80)의 FIFO 메모리(81, 82)로부터 영상 데이터를 읽지 말고 그동안 출력 데이터를 더 만들어서 출력을 2:3업 샘플링이 원전히 수행된다.

또한, 그외에 입력되는 영상신호가 영상포맷(A, B, C)이고 디스플레이 포맷이 순차주사 방식인 경우와 영상신호가 영상포맷(D, E, F)인 경우에는 HUS 바이패스 제어부(96)의 제어에 따라 업 샘플링이 이루어지지 않고 래치(92)로부터 멀티플렉서(95)를 통해 그대로 출력된다.

이상에서 설명한 바와 같이 구성되어 본 발명은 단일 클럭을 사용하여 영상 신호의 영상포맷을 변환시키므로 클럭간의 간섭으로 인해 나타나는 노이즈가 발생되지 않으면 클럭을 발생시키는 장치의 부하가 줄어드는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

전송되는 데이터를 디코딩하여 영상 데이터, 영상포맷정보, 영상 구조(Picture Structure) 정보, 입력주파수 동기신호(IFS), 입력 수직 동기 신호(IVS), 및 입력 라인 동기신호(ILS)를 출력하는 디코더(10). 상기 디코더(10)로부터 출력되는 영상포맷정보와 입력 주파수 동기신호(IFS), 및 디스플레이 포맷에 따라 외부로 부터 입력되는 디스플레이 포맷 신호(prog)를 이용하여 입력되는 영상 포맷과 디스플레이되는 영상 포맷의 형태에 따라 디스플레이 라인 동기신호(DLS), 디스플레이 수직 동기신호(OVS), 프로세스 라인 동기신호(PLS), 및 프로세스 수직 동기신호(PVS)를 출력하는 동기신호 발생수단(100)과, 상기 디코더와 동기신호발생부로 부터 출력되는 정보값을 이용하여 입력되는 영상신호를 프레임을 60Hz의 순차주사 또는 프레임을 60Hz의 비월주사방식의 영상포맷으로 변환하는 포맷(Format)변환부로 구성되는 HDTV의 영상 포맷 변환장치.

##### 청구항 2

제1항에 있어서, 상기 포맷변환부는 상기 동신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기 신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 상기 디코더(10)로부터 출력되는 영상 데이터, 영상 포맷정보 및 영상 구조(Picture Structure) 정보를 일력으로 영상 포맷의 블랭킹(Blanking) 영역을 변환하는 블랭킹 영역 변환수단(20), 상기 동기신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 상기 블랭킹 영역 변환수단(20)으로부터 출력되는 영상 신호를 순차주사 방식의 영상신호로 변환하는 IPC(Interlace to Progressive Conversion)수단(30), 상기 동기 신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)와 상기 디코더(10)로부터 출력되는 영상 포맷 정보를 이용하여 상기 IPC수단(30)으로부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수직 방향으로 다운샘플링하고 VDS(Vertical Down Sampling)수단(40), 상기 동기 신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)와 디코더(10)로부터 출력되는 영상 포맷 정보를 이용하여 상기 IPC수단(30)으로부터 출력되는 영상신호를 비율 주사 방식의 영상신호로 변환하는 PIC(Progressive to Interlace Conversion)수단(50), 상기 VDS 수단(40)과 IPC 수단(50)으로부터 출력되는 영상신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 출력되는 제1멀티플렉서(60), 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 상기 제1멀티플렉서(60)로부터 출력되는 영상신호를 해당하는 영상 포맷 형태로 변환하기 위해 수평 방향으로 다운샘플링하는 HDS(Horizontal Down Sampling)수단(70), 상기 동기 신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS), 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 상기 VDS 수단(40), PIC 수단(50), 및 HDS 수단(70)으로부터 출력되는 제어신호를 이용하여 상기 디코더(10)로부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 상기 HDS 수단(70)으로부터 출력되는 영상신호의 프레임율을 60Hz로 변환하는 프레임을 변환수단(80), 및 상기 프레임을 변환수단(80)으로부터 출력되는 영상신호를 디스플레이 포맷에 따라 수평방향으로 업샘플링하는 HUS(Horizontal Up Sampling)수단(90)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 3

제1항에 있어서, 상기 디코더(10)로부터 출력되는 영상신호는 액티브 영역과 블랭킹 영역으로 이루어지는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 4

제1항에 있어서, 상기 디코더(10)로부터 출력되는 영상신호는 787/788라인 × 1600화소, 787/788라인 × 3200화소, 787/788라인 × 4000화소, 562/563라인 × 2240화소, 1125라인 × 2240화소, 및 1125라인 × 2280화소로 형성된 영상포맷으로 이루어지는 것을 특징으로 하는 HDTV의 영상포맷 변환장치.

#### 청구항 5

제4항에 있어서, 상기 블랭킹 영역 변환수단(20)은 562/563라인 × 2240화소로 형성된 영상포맷으로 이루어진 영상신호를 1125라인 × 2240화소로 형성된 영상포맷으로 이루어진 영상신호로 변환하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 6

제5항에 있어서, 상기 1125라인 × 2240화소로 형성된 영상포맷으로 이루어진 영상신호는 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 7

제4항에 있어서, 상기 블랭킹 영역 변환수단(20)은 1126라인 × 2280화소로 형성된 영상포맷으로 이루어지는 영상신호를 1126/1687/1688 × 2240화소로 형성된 영상포맷으로 이루어진 영상신호로 변환하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 8

제7항에 있어서, 상기 1125/1687/1688 × 2240화소로 형성된 영상포맷으로 이루어진 영상신호는 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 9

제1항에 있어서, 상기 입력 주파수 동기신호(IFS)는 입력 수직 동기신호(IVS)의 주기의 4배의 주기를 갖는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 10

제3항에 있어서, 상기 동기신호 발생수단(100)은 외부로 부터 입력되는 기준클럭을 이용하여 1600라인 동기신호를 발생시키는 1600라인 동기신호 발생수단(110), 외부로 부터 입력되는 기준클럭을 이용하여 상기 2240라인 동기신호를 발생시키는 2240라인 동기신호 발생수단(120), 상기 1600라인 동기신호 발생수단(110)과 2240라인 동기신호 발생수단(120)으로부터 출력되는 라인 동기신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 디스플레이 라인 동기신호(인)로 출력하는 제2멀티플렉서(101), 상기 1600라인 동기신호 발생수단(110)으로부터 출력되는 신호를 이용하여 787/788 디스플레이 수직 동기신호(787/788 DVS)를 발생시키는 787/788 디스플레이 수직동기신호 발생수단(130), 상기 2200라인 동기신호 발생수단(120)으로부터 출력되는 신호를 이용하여 562/563 디스플레이 수직 동기신호(562/563 DVS)를 발생시키는 562/563 디스플레이 수직동기신호 발생수단(140), 상기 787/787 디스플레이 수직동기신호 발생수단(130)과 562/563 디스플레이 수직동기신호 발생수단(140)으로부터 출력되는 디스플레이 수직 동기신호 중에서 디스플레이 포맷에 따라 하나를 선택하여 디스플레이 수직 동기신호(DVS)로 출력하는 제3멀티플렉서(102), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 720라인으로 이루어진

영상신호인지 1080라인으로 이루어진 영상신호인지를 판단하는 720/1080 라인 선택수단(180), 상기 720/1080 라인 선택수단(180)의 제어에 따라 1600라인 동기신호 발생수단(110)과 2240 라인 동기신호 발생수단(120)으로부터 출력되는 1600 및 2240 라인동기신호 중에서 하나를 선택하여 프로세스 라인 동기신호(PLS)로 출력하는 제4멀티플렉서(103), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 787/788 디스플레이 수직동기신호 발생수단(130)으로부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)를 이용하여 720프로세스 수직동기신호(720 PVS)를 발생시키는 720 프로세스 수직동기 신호 발생수단(150), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 562/563 디스플레이 수직동기신호 발생수단(140)으로부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)를 이용하여 1080프로세스 수직동기신호(1080 PVS)를 발생시키는 1080 프로세스 수직동기 신호 발생수단(160), 상기 720/1080 선택수단(180)의 제어에 따라 720 프로세스 수직동기 신호 발생수단(150)과 1080 프로세스 수직동기신호 발생수단(160)으로부터 출력되는 720 및 1080프로세스 수직동기신호(720 PVS, 1080 PVS)중에서 하나를 선택하여 프로세스 수직동기신호(PVS)로 출력하는 제5 멀티플렉서(104), 및 상기 디코더(10)로부터 출력되는 입력 주파수 동기신호(IFS)의 상승에너지를 검출하여 상기 1600라인 동기신호 발생수단(110), 2240라인 동기신호 발생수단(120), 787/788 디스플레이 수직동기신호 발생수단(130), 562/563 디스플레이 수직동기신호 발생수단(140), 720 프로세스 수직동기 신호 발생수단(150), 및 1080 프로세스 수직동기 신호 발생수단(160)을 리셋하는 리셋 제어수단(170)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 11

제10항에 있어서, 상기 1600라인 동기신호를 기준 클럭이 1280클럭 발생되는 동안 액티브 영역임을 나타내는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 12

제10항에 있어서, 상기 2240 라인 동기신호는 기준클럭이 1920클럭 발생되는 동안 액티브 영역임을 나타내는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 13

제11항에 있어서, 상기 787/788 디스플레이 수직 동기신호는 상기 1600라인 동기신호가 720개 발생되는 동안 액티브 영역임을 나타내는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 14

제12항에 있어서, 상기 562/563 디스플레이 수직 동기신호는 상기 2240라인 동기신호가 540개 발생되는 동안 액티브 영역임을 나타내는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 15

제10항에 있어서, 상기 1600라인 동기신호 발생수단(110)은 외부로부터 입력되는 기준 클럭을 카운팅하는 11비트 카운터(111), 상기 11비트 카운터(111)로부터 출력되는 신호를 '1600'과 비교하는 제1비교기(112), 상기 제1비교기(112)로부터 출력되는 신호와 상기 리셋 제어수단(170)로부터 출력되는 리셋신호를 논리합하여 상기 11비트 카운터(111)의 클리어 입력으로 하는 OR 게이트(115), 상기 11비트 카운터(111)로부터 출력되는 신호를 '0'과 비교하는 제2비교기(113), 상기 11비트 카운터(111)로부터 출력되는 신호를 세트 입력으로 하고 상기 제3비교기(114), 및 상기 제2비교기(113)로부터 출력되는 신호를 리셋입력으로 하고 외부로부터 입력되는 기준 클럭을 클럭입력으로 하여 1600 라인 동기신호를 출력하는 플립플롭(116)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 16

제10항에 있어서, 상기 2240 라인 동기신호 발생수단(120)은 외부로부터 입력되는 기준 클럭을 카운팅하는 12비트 카운터(121), 상기 12비트 카운터(121)로부터 출력되는 신호를 '2240'과 비교하는 제1비교기(122), 상기 제1비교기(122)로부터 출력되는 신호와 상기 리셋 제어수단(170)으로부터 출력되는 리셋신호를 논리합하여 상기 12비트 카운터(121)의 클리어 입력으로 하는 OR 게이트(125), 상기 12비트 카운터(121)로부터 출력되는 신호를 '0'과 비교하는 제2비교기(123), 상기 12비트 카운터(121)로부터 출력되는 신호를 세트 입력으로 하고 상기 제3비교기(124)로부터 출력되는 신호를 리셋입력으로 하고 외부로부터 입력되는 기준 클럭을 클럭입력으로 하여 2240 라인 동기신호를 출력하는 플립플롭(126)으로 구성되는 것을 특징으로 하는 에이치디티브이(HDTV)의 영상 포맷 변환장치.

#### 청구항 17

제10항에 있어서, 상기 787/788 디스플레이 수직 동기신호 발생수단(130)은 상기 1600라인 동기신호 발생수단(11)으로부터 출력되는 1600라인 동기신호를 카운팅하는 11비트 카운터(131), 상기 11비트 카운터(131)로부터 출력되는 신호를 '1575'와 비교하는 제1비교기(132), 상기 제1비교기(132)로부터 출력되는 신호와 상기 리셋 제어수단(170)으로부터 출력되는 리셋신호를 논리합하여 상기 11비트 카운터(131)의 클리어 입력으로 하는 제1 OR 게이트(135), 상기 11비트 카운터(131)로부터 출력되는 신호를 '0'과 비교하는 제2비교기(133), 상기 11비트 카운터(131)로부터 출력되는 신호를 '787'과 비교하는 제3비교기(134), 상기 11비트 카운터(131)로부터 출력되는 신호를 '720'과 비교하는 제4비교기(137), 상기 11비트 카운터(131)로부터 출력되는 신호를 '1507'과 비교하는 제5비교기(138), 상기 제2 및 제3비교기(133, 134)로부터 출력되는 신호를 논리합하는 제2 OR게이트(136), 상기 제4 및 제5비교기(137, 138)로부터 출력되는 신호를 논리합하는 제3 OR게이트(139), 및 상기 제2 OR 게이트(136)로부터 출력되는 신호를 세트 입력으로 하고 상기 제3 OR 게이트(139)로부터 출력되는 신호를 리셋입력으로 하고 상기 1600 라인 동기신호 발생수단(110)로부터 출력되는 1600 라인 동기신호

를 클럭입력으로 하여 787/788 디스플레이 수직동기신호를 출력하는 플립플롭(1391)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 18

제10항에 있어, 상기 562/563 디스플레이 수직 동기신호 발생수단(140)은 상기 2240라인 동기신호 발생수단(120)으로부터 출력되는 2240라인 동기신호를 카운팅하는 11비트 카운터(141), 상기 11비트 카운터(141)로부터 출력되는 신호를 '1125'와 비교하는 제1비교기(142), 상기 제1비교기(142)로부터 출력되는 신호와 상기 리셋 제어수단(170)으로부터 출력되는 리셋신호를 논리합하여 상기 11비트 카운터(141)의 클리어 입력으로 하는 제1 OR 게이트(145), 상기 11비트 카운터(141)로부터 출력되는 신호를 '0'과 비교하는 제2비교기(143), 상기 11비트 카운터(141)로부터 출력되는 신호를 '562'와 비교하는 제3비교기(144), 상기 11비트 카운터(141)로부터 출력되는 신호를 '540'과 비교하는 제4비교기(147), 상기 11비트 카운터(141)로부터 출력되는 신호를 '1102'와 비교하는 제5비교기(148), 상기 제2 및 제3비교기(143, 144)로부터 출력되는 신호를 논리합하는 제2 OR게이트(146), 상기 제4 및 제5비교기(147, 148)로부터 출력되는 신호를 논리합하는 제3 OR게이트(149), 및 상기 제2 OR 게이트(146)로부터 출력되는 신호를 세트 입력으로 하고 상기 제3 OR 게이트(149)로부터 출력되는 신호를 리셋입력으로 하고 상기 2240 라인 동기신호 발생수단(120)으로부터 출력되는 2240라인 동기신호를 클럭입력으로 하여 562/563 디스플레이 수직동기신호를 출력하는 플립플롭(1491)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 19

제10항에 있어서, 상기 720 프로세스 수직동기신호 발생수단(150)은 상기 787/788 디스플레이 수직동기신호 발생수단(130)으로부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)를 카운팅하는 4비트 카운터(151), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 상기 4비트 카운터(151)로부터 출력되는 신호를 720 마스킹 처리하여 출력하는 720마스킹수단(152), 및 상기 787/788 디스플레이 수직동기신호 발생수단(130)으로부터 출력되는 787/788 디스플레이 수직동기신호(787/788 DVS)와 상기 720 마스킹수단(152)으로부터 출력되는 신호를 논리곱하는 AND 게이트(153)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 20

제17항에 있어서, 상기 4비트 카운터(151)는 '0'으로부터 '9'까지만을 카운팅하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 21

제9항에 있어서, 상기 720 마스킹수단(152)은 입력되는 영상 포맷 정보에 따라 입력되는 영상신호가 720 라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되고, 상기 4비트 카운터(151)로부터 출력되는 신호가 짧수인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되고, 상기 4비트 카운터(151)로부터 출력되는 신호가 짧수인 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되고, 상기 4비트 카운터(151)로부터 출력되는 신호가 '2, 4, 7, 9'인 경우에는 '1'을 출력하고, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되고, 상기 카운터(151)로부터 출력되는 신호가 짧수인 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되고, 상기 카운터(151)로부터 출력되는 신호가 '0, 1, 3, 5, 6, 8'인 경우, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우에는 '0'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 22

제10항에 있어서, 상기 1080 프로세스 수직동기신호 발생수단(160)은 상기 리셋 제어수단(170)으로부터 출력되는 리셋신호를 클리어 입력으로 하고 상기 562/563 디스플레이 수직동기신호 발생수단(140)으로부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)를 카운팅하는 4비트 카운터(167), 상기 4비트 카운터(167)로부터 출력되는 신호를 외부로 부터 입력되는 기준클럭에 따라 래치시키는 래치(168), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 상기 4비트 카운터(167)로부터 출력되는 신호를 1080 마스킹 처리하여 출력하는 1080 마스킹수단(169), 상기 디코더(10)로부터 출력되는 영상포맷정보에 따라 상기 래치(168)로부터 출력되는 신호를 1080 클리어 마스킹수단(191), 상기 562/563 디스플레이 수직동기신호 발생수단(140)으로부터 출력되는 562/563 디스플레이 수직동기신호(562/563 DVS)의 상승 에지를 검출하는 상승에지 검출수단(193), 상기 1080 클리어 마스킹수단(191)과 상승에지 검출수단(193)으로부터 출력되는 신호를 논리곱하는 제1 AND 게이트(190), 상기 2240 라인 동기신호 발생수단(120)으로부터 출력되는 2240 라인동기신호를 카운팅하는 11비트 카운트(161), 상기 11비트 카운트(161)로부터 출력되는 신호를 '1125'와 비교하는 제1비교기(162), 상기 제1비교기(162)와 제1 AND 게이트(190)로부터 출력되는 신호를 논리합하여 상기 11비트 카운터(161)의 클리어 입력으로 하는 OR 게이트(165), 상기 11비트 카운터(161)로부터 출력되는 신호를 '0'과 비교하는 제2비교기(163), 상기 11비트 카운터(161)로부터 출력되는 신호를 '1080'과 비교하는 제3비교기(164), 상기 제2비교기(163)로부터 출력되는 신호를 세트 입력으로 하고 상기 제3비교기(164)로부터 출력되는 신호를 리셋입력으로 하고 상기 2240라인 동기신호 발생수단(120)으로부터 출력되는 2240 라인 동기신호를 클럭입력으로 하는 플립플롭(166), 및 상기 1080 마스킹 수단(169)과 플립플롭(166)으로부터 출력되는 신호를 논리곱하는 제2 AND 게이트(190)로 구성되는 것을 특징으로 하는

HDTV의 영상 포맷 변환장치.

청구항 23

제22항에 있어서, 상기 4비트 카운터(167)는 '0'으로부터 '9' 까지만을 카운팅하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 24

제22항에 있어서, 상기 1080 마스킹 수단(169)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되고, 상기 4비트 카운터(167)로부터 출력되는 신호가 '0.5'인 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되고, 상기 4비트 카운터(167)로부터 출력되는 신호가 '1, 2, 3, 4, 6, 7, 8, 9'인 경우에는 '1'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 25

제22항에 있어서, 상기 1080클리어 마스킹 수단(191)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되고, 상기 래치(168)로부터 출력되는 신호가 풀수인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125 × 2240화소로 형성되고 상기 래치(168)로부터 출력되는 신호가 풀수인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되고 상기 래치(168)로부터 출력되는 신호가 '1, 2, 3, 4, 6, 7, 8, 9'인 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되고, 상기 래치(168)로부터 출력되는 신호가 풀수인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되고, 상기 래치(168)로부터 출력되는 신호가 풀수인 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되고, 상기 래치(168)로부터 출력되는 신호가 풀수인 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되고, 상기 래치(168)로부터 출력되는 신호가 '0.5'인 경우에는 '1'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 26

제3항에 있어서, 상기 블랭킹 영역 변화수단(20)은 상기 디코더(10)로부터 출력되는 영상 데이터 중에서 톱 필드(Top Field)에 해당하는 데이터를 일시 저장하는 제1FIFO 메모리(21), 상기 디코더(10)로부터 출력되는 영상 데이터 중에서 보텀 필드(Bottom Field)에 해당하는 데이터를 일시 저장하는 제2FIFO 메모리(22), 상기 제1 및 제2 FIFO 메모리(21, 22)로부터 출력되는 신호를 멀티플렉싱하여 상기 IPC 수단(30)으로 출력하는 제2멀티플렉서(23), 및 상기 동기신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS)를 이용하여 상기 디코더(10)로부터 출력되는 영상 포맷정보와 영상 구조(Picture Structure) 정보를 입력으로 상기 제1 및 제2 FIFO 메모리(21, 22)와 제2 멀티플렉서(23)를 제어하는 제어수단(24)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 27

제26항에 있어서, 상기 디스플레이 포맷이 순차주사식인 경우에는 상기 제1 FIFO 메모리(21)만을 사용하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 28

제26항에 있어서, 상기 제어수단(24)은 상기 디코더(10)로부터 출력되는 입력 수직 동기신호의 상승 에지를 검출하여 톱 및 보텀 FIFO 쓰기 리셋신호를 출력하는 제1상승 에지 검출수단(241), 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 영상 구조 정보를 이용하여 읽기 마스킹 처리하는 FIFO 쓰기 마스킹수단(242), 상기 디코더(10)로부터 출력되는 입력 수직 동기신호와 입력 라인 동기신호, 및 상기 FIFO 쓰기 마스킹 수단(242)으로부터 출력되는 신호를 이용하여 상기 제1 및 제2 FIFO(21, 22)의 쓰기를 제어하는 톱 및 보텀 FIFO 쓰기 인에이블 신호를 출력하는 쓰기 인에이블 신호 발생수단(243), 상기 동기신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)의 상승 에지를 검출하여 톱 및 보텀 FIFO 읽기 리셋호를 출력하는 제2상승 에지 검출수단(244), 상기 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 일기 마스킹 처리하는 FIFO 읽기 마스킹 수단(245), 및 상기 동기신호 발생수단(100)으로부터 출력되는 프로세스 수직 동기신호(PVS)와 프로세스 라인 동기신호(PLS), 및 상기 FIFO 읽기 마스킹 수단(245)으로부터 출력되는 신호를 이용하여 상기 제1 및 제2 FIFO(21, 22)의 읽기를 제어하는 톱 및 보텀 FIFO 읽기 인에이블 신호와 상기 제2멀티플렉서(23)를 제어하는 선택신호를 출력하는 읽기 인에이블 신호 발생수단(246)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 29

제28항에 있어서, 상기 쓰기 인에이블 신호 발생수단(243)은 상기 디코더(10)로부터 출력되는 입력 수직동기신호와 입력 라인 동기신호를 논리곱하는 제1 AND 게이트(2431), 상기 디코더(10)로부터 출력되는

는 입력라인 동기신호를 클럭 입력으로 하는 플립플롭(2432), 상기 플립플롭(2432)으로 부터 출력되는 신호를 반전시키는 인버터(2433), 상기 플립플롭(2432)으로 부터 출력되는 신호와 상기 FIFO 쓰기 마스킹 수단(242)으로 부터 출력되는 제1출력신호(Tand)를 논리곱하는 제2 AND 게이트(2434), 상기 인버터(2433)로 부터 출력되는 신호와 상기 FIFO 쓰기 마스킹 수단(242)으로 부터 출력되는 제2 출력신호(Band)를 논리곱하는 제3 ANDB 게이트(2435), 상기 제2 AND 게이트(2434)로 부터 출력되는 신호와 상기 FIFO 쓰기 마스킹 수단(242)으로 부터 출력되는 제3 출력신호(Tor)를 논리합하는 제1 OR 게이트(2436), 상기 제2 AND 게이트(2435)로 부터 출력되는 신호와 상기 FIFO 쓰기 마스킹 수단(242)으로 부터 출력되는 제4 출력신호(Bor)를 논리합하는 제2 OR 게이트(2437), 상기 제1 AND 게이트(2431)와 제1 OR 게이트(2436)로 부터 출력되는 신호를 논리곱하여 룹 FIFO 쓰기 인에이를 신호를 출력하는 제4 AND 게이트(2438), 및 상기 제1 AND 게이트(2431)와 제2 OR 게이트(2437)로 부터 출력되는 신호를 논리곱하여 보통 FIFO 쓰기 인에이를 신호를 출력하는 제5 AND 게이트(2439)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

### 청구항 30

제28항에 있어서, 상기 FIFO 쓰기 마스킹 수단(242)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우에는 영상 구조에 관계없이 제1, 제2, 제3, 및 제4 출력신호(Tand, Band, Tor, Bor)가 '1, 1, 0, 0'로 되고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되고, 영상 구조가 페일드인 경우에는 제1, 제2, 제3, 및 제4 출력신호(Tand, Band, Tor, Bor)가 '1, 1, 0, 0'로 되고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 구성된 액티브 영역을 포함하는 562/563라인 × 4000화소로 형성되고, 영상 구조가 프레임인 경우에는 제1, 제2, 제3, 및 제4 출력신호(Tand, Band, Tor, Bor)가 '1, 0, 1, 0'로 되고, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우에는 제1, 제2, 제3, 및 제4 출력신호(Tand, Band, Tor, Bor)가 '1, 0, 1, 0'로 되고, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우에는 제1, 제2, 제3, 및 제4 출력신호(Tand, Band, Tor, Bor)가 '1, 0, 1, 0'로 되도록 이루어지는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

### 청구항 31

제28항에 있어서, 상기 읽기 인에이를 신호 발생수단(246)은 상기 동기 신호 발생수단(100)으로 부터 출력되는 프로세스 수직 동기신호(PVS)와 프로세스 라인 동기신호(PLS)를 논리곱하는 제1 AND 게이트(2461), 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동시신호(PLS)를 클럭 입력으로 하는 플립플롭(2462), 상기 플립플롭(2462)와 FIFO 읽기 마스킹 수단(245)으로 부터 출력되는 신호를 논리합하는 OR 게이트(2463), 상기 OR 게이트(2463)로 부터 출력되는 신호를 반전시키는 인버터(2464), 상기 제1 AND 게이트(2461)와 OR 게이트(2463)로 부터 출력되는 신호를 논리곱하는 제2 AND 게이트(2465), 및 상기 제1 AND 게이트(2461)와 인버터(2464)로 부터 출력되는 신호를 논리곱하는 제3 AND 게이트(2467)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

### 청구항 32

제28항에 있어서, 상기 FIFO 읽기 마스킹 수단(245)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우에는 '0'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

### 청구항 33

제29항에 있어서, 상기 IPC수단(30)은 상기 블랭킹 변환수단(20)으로 부터 출력되는 영상신호를 라인 단위로 지연시키는 제1라인 지연기(31), 상기 제1라인 지연기(31)로 부터 출력되는 영상신호를 라인 단위로 지연시키는 제2라인 지연기(32), 상기 블랭킹 변환수단(20), 제1라인 지연기(31), 및 제2라인지연기(32)로 부터 출력되는 영상신호를 메디안 필터링(Median Filtering)하는 메디안 필터(33), 상기 디코더(10)로 부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 상기 블랭킹 변환수단(20)으로 부터 출력되는 영상신호의 IPC 바이패스를 제어하는 IPC 바이패스 제어수단(34), 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS)를 클럭 입력으로 하고 입력단자에 전원(Vcc)이 연결되는 플립플롭(35), 상기 IPC 바이패스 제어수단(34)과 플립플롭(35)으로 부터 출력되는 신호를 논리합하는 OR 게이트(36), 및 상기 OR 게이트(36)로 부터 출력되는 신호의 제어에 따라 상기 제1 라인 지연기(31)와 메디안 필터(33)로 부터 출력되는 영상신호를 선택하여 출력하는 제2멀티플렉서(37)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

### 청구항 34

제33항에 있어서, 상기 IPC 바이패스 제어수단(34)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 입력되는 영상신호가 720

라인  $\times$  1280화소로 구성된 액티브 영역을 포함하는 787/788라인  $\times$  4000화소로 형성되는 경우, 입력되는 영상신호가 540라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 562/563라인  $\times$  2240화소로 형성되고 디스플레이 포맷이 비율 주사 방식인 경우, 입력되는 영상신호가 1080라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 1125라인  $\times$  2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 1125라인  $\times$  2280화소로 형성되는 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 562/563라인  $\times$  2240화소로 형성되고, 디스플레이 포맷이 순차주사 방식인 경우에는 '0'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 35

제2항에 있어서, 상기 VDS 수단(40)은 상기 IPC수단(30)으로부터 출력되는 영상신호를 수직 방향으로 3:2 다운 샘플링하는 것을 특징으로 하는 에이치디티브이(HDTV)의 영상 포맷 변환장치.

## 청구항 36

제35항에 있어서, 상기 VDS 수단(40)은 상기 IPC 수단(30)으로부터 출력되는 영상신호를 라인 단위로 지연시키는 라인 지연기(41), 상기 IPC 수단(30)과 라인 지연기(41)로부터 출력되는 영상신호의 평균값을 계산하는 라인간 화소 평균 계산수단(42), 상기 라인 지연기(41), 라인간 화소 평균 계산수단(42), 및 점지로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 제2멀티플렉서(44), 상기 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 VDS 바이패스를 제어하는 VDS 바이패스 제어수단(45), 상기 동기 신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)를 카운팅하는 2비트 카운터(46), 상기 VDS 바이패스 제어수단(45)과 2비트 카운터(46)로부터 출력되는 2비트 신호에 따라 상기 제2 멀티플렉서(44)를 제어하는 멀티플렉서 제어수단(43), 상기 2비트 카운터(46)로부터 출력되는 상위비트 신호와 반전된 하위비트 신호를 부정 논리곱하여 상기 2비트 카운터(46)의 클리어신호 입력단(CL)으로 출력하는 NAND 게이트(47), 및 상기 VDS 바이패스 제어수단(45)과 NAND 게이트(47)로부터 출력되는 신호를 논리합시켜 VDS 읽기 인에이블 신호를 상기 프레임을 변환수단(80)으로 출력하는 OR 게이트(48)로 구성되는 것을 특징으로 하는 에이치디티브이(HDTV)의 영상 포맷 변환장치.

## 청구항 37

제36항에 있어서, 상기 2비트 카운터(46)는 '0'으로부터 '2'까지만을 카운팅하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 38

제36항에 있어서, 상기 라인간 화소 평균 계산수단(42)은 상기 IPC 수단(30)과 라인 지연기(41)로부터 출력되는 영상신호를 가산하는 가산기(421), 및 상기 가산기(421)로부터 출력되는 신호에 1/2을 곱하는 1/2 곱셈기(422)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 39

제36항에 있어서, 상기 멀티플렉서 제어수단(43)은 상기 VDS 바이패스 제어수단(45)으로부터 출력되는 신호를 반전시키는 인버터(433), 상기 2비트 카운터(46)으로부터 출력되는 상위비트 신호와 상기 인버터(433)로부터 출력되는 신호를 논리곱하는 제1 AND 게이트(432), 및 상기 2비트 카운터(46)로부터 출력되는 하위비트 신호와 상기 인버터(433)로부터 출력되는 신호를 논리곱하는 제2 AND 게이트(431)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 40

제36항에 있어서, 상기 VDS 바이패스 제어수단(45)은 입력되는 영상 신호가 720라인  $\times$  1280화소로 구성된 액티브 영역을 포함하는 787/788라인  $\times$  1600화소로 형성되는 경우, 입력되는 영상신호가 720라인  $\times$  1280화소로 구성된 액티브 영역을 포함하는 787/788라인  $\times$  3200화소로 형성되는 경우, 및 입력되는 영상신호가 720라인  $\times$  1280화소로 구성된 액티브 영역을 포함하는 787/788라인  $\times$  4000화소로 형성되는 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 562/563라인  $\times$  2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 1125라인  $\times$  2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인  $\times$  1920화소로 구성된 액티브 영역을 포함하는 1125라인  $\times$  2280화소로 형성되는 경우에는 '0'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 41

제2항에 있어서, 상기 PIC 수단(50)은 상기 IPC 수단(30)으로부터 출력되는 영상신호를 라인 단위로 지연시키는 라인 지연기(51), 상기 IPC 수단(30)과 라인 지연기(51)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 각종 평균을 계산하는 제1라인간 화소 가중평균 계산수단(52), 상기 PIC 수단(30)과 라인 지연기(51)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 각종 평균을 계산하는 제2라인간 화소 가중평균 계산수단(53), 상기 라인 지연기(51)와 제1 및 제2라인간 화소 가중 평균 계산수단(52, 53)과 점지로부터 출력되는 신호를 선택하여 출력하는 제2멀티플렉서(54), 상기 디코더(10)로부터 출력되는 영상 포맷 정보에 따라 PIC 바이패스를 제어하는 PIC 바이패스 제어수단(56), 상기 동기신호 발생수단(100)으로부터 출력되는 프로세스 라인 동기신호(PLS)를 카운팅하는 2비트 카운터(59), 상기 PIC 바이패스 제어수단(56)과 2비트 카운터(59)로부터 출력되는 신호를 이용하여 상기 제2멀티플렉서(54)를 제어하는 신호를 출력하는 제2멀티플렉서 제어수단(55), 상기 라인 지연기(51)와 제1 및 제2라인간 화소 가중 평균 계산수단(52, 53)과 점지로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 제3멀티플렉서(57), 상기 PIC 바이패스 제어수단(56)과 2비트 카운터(59)로부터 출력되는 신호를 이용하여 상기 제3멀티플렉서(57)를 제어하는 신호를 출력하는 제3멀티플렉서 제어수단(58), 및 상기 2비트 카운터(59)와 PIC 바이패스 제어수단(56)으로부터 출력되는 신호를 이용하여 톱(Top) 및 보텀(Bottom) PIC 쓰기 인에이블 신호를 발생시켜 상기 프레임을 변환수단(80)으로부터

출력하는 쓰기 인에이블 신호 발생수단(591)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 42

제41항에 있어서, 상기 제1라인간 화소 가중평균 계산수단(52)은 상기 IPC 수단(30)으로부터 출력되는 영상신호에 1/3을 곱하는 1/3 곱셈기(521), 상기 라인 자연기(51)로부터 출력되는 영상신호에 2/3을 곱하는 2/3 곱셈기(522), 및 상기 1/3곱셈기(521)와 2/3곱셈기(522)로부터 출력되는 신호를 가산하는 가산기(523)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 43

제41항에 있어서, 상기 제2 라인간 화소 가중평균 계산수단(53)은 상기 IPC 수단(30)으로부터 출력되는 영상신호에 2/3을 곱하는 2/3 곱셈기(531), 상기 라인 자연기(51)로부터 출력되는 영상신호에 1/3을 곱하는 1/3곱셈기(532), 및 상기 2/3곱셈기(531)와 1/3곱셈기(532)로부터 출력되는 신호를 가산하는 가산기(533)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 44

제41항에 있어서, 상기 제2멀티플렉서 제어수단(55)은 상기 PIC 바이패스 제어수단(56)으로부터 출력되는 신호를 반전시키는 인버터(551), 상기 인버터(551)로부터 출력되는 신호와 상기 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 논리곱하는 제1 AND 게이트(552), 및 상기 인버터(551)로부터 출력되는 신호와 상기 2비트 카운터(59)로부터 출력되는 하위 비트 신호를 논리곱하는 제2 AND 게이트(553)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 45

제41항에 있어서, 상기 제3멀티플렉서 제어수단(58)은 상기 PIC 바이패스 제어수단(56)으로부터 출력되는 신호와 상기 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 논리합하는 OR 게이트(581), 및 상기 PIC 바이패스 제어수단(56)으로부터 출력되는 신호를 반전시켜 상기 2비트 카운터(59)로부터 출력되는 하위비트 신호와 논리곱하는 AND 게이트(582)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 46

제41항에 있어서, 상기 PIC 바이패스 제어수단(56)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우에는 '0'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우에는 '1'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 47

제41항에 있어서, 상기 쓰기 인에이블 신호 발생수단(591)은 상기 2비트 카운터(59)로부터 출력되는 상위비트 신호와 하위비트 신호를 부정논리곱하는 제1 NAND 게이트(593), 상기 2비트 카운터(59)로부터 출력되는 상위 비트 신호를 반전시키는 인버터(592), 상기 2비트 카운터(59)로부터 출력되는 하위비트 신호와 상기 인버터(592)로부터 출력되는 신호를 부정 논리곱하는 제2 NAND 게이트(594), 상기 PIC 제어수단(56)으로부터 출력되는 신호와 상기 제1 NAND 게이트(593)로부터 출력되는 신호를 논리합하여 텔 PIC 쓰기 인에이블 신호를 출력하는 제1 OR 게이트(595), 및 상기 PIC 제어수단(56)으로부터 출력되는 신호와 상기 제2 NAND 게이트(594)로부터 출력되는 신호를 논리합하여 보통 PIC 쓰기 인에이블 신호를 출력하는 제2 OR 게이트(596)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 48

제2항에 있어서, 상기 HDS 수단(70)은 상기 제1 멀티플렉서(60)로부터 출력되는 영상신호를 수평 방향으로 3:2 다운 샘플링하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

#### 청구항 49

제48항에 있어서, 상기 HDS 수단(70)은 상기 제1멀티플렉서(60)로부터 출력되는 영상신호를 화소 단위로 지연시키는 래치(71), 상기 제1멀티플렉서(60)와 래치(71)로부터 출력되는 영상신호의 평균을 계산하는 라인내 화소간 평균 계산수단(72), 상기 래치(71), 라인내 화소간 평균 계산수단(72), 및 접지로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 제2멀티플렉서(73), 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 HDS 바이패스를 제어하는 HDS 바이패스 제어수단(75), 상기 HDS 바이패스 제어수단(75)으로부터 출력되는 신호를 이용하여 상기 제2멀티플렉서(73)를 제어하는 제2멀티플렉서 제어수단(74), 기준 클럭을 카운팅하는 2비트 카운터(76), 상기 2비트 카운터(76)로부터 출력되는 하위비트 신호를 반전시키는 제1인버터(77), 상기 제1인버터(77)로부터 출력되는 신호와 상기 2비트 카운터(76)로부터 출력되는 상위비트 신호를 부정 논리곱하여 상기 2비트 카운터(76)의 클리어 신호 입력단(CI)으로 출력하는 제1 NAND 게이트(78), 및 상기 HDS 바이패스 제어수단(75)과 NAND 게이트(78)로부터 출력되는 신호를 논리합하여 상기 프레임을 변환수단(80)으로 HDS 쓰기 인에이블 신호를 출력하는 OR 게이트(79)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 50

제49항에 있어서, 상기 라인내 화소간 평균 계산수단(72)은 상기 제1멀티플렉서(60)와 래치(71)로 부터 출력되는 신호를 가산하는 가산기(721), 및 상기 가산기(721)로 부터 출력되는 신호에 1/2를 곱하는 1/2 곱셈기(722)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 51

제49항에 있어서, 상기 HDS 바이패스 제어수단(75)은 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 입력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우에는 디스플레이 포맷에 관계없이 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우이고 디스플레이 포맷이 비월주사 방식인 경우에는 '1'을 출력하고, 입력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 입력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우이고 디스플레이 포맷이 순차주사 방식인 경우에는 '0'을 출력하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 52

제2항에 있어서, 상기 프레임을 변환수단(80)은 상기 HDS 수단(70)으로 부터 출력되는 영상 데이터 중에서 톱 필드(Top Field)에 해당하는 데이터를 일시 저장하는 제1FIFO 메모리(81), 상기 HDS 수단(70)으로 부터 출력되는 영상 데이터 중에서 보텀 필드(Bottom Field)에 해당하는 데이터를 일시 정장하는 제2FIFO 메모리(82), 상기 제1 및 제2 FIFO 메모리(81, 82)로 부터 출력되는 신호를 멀티플렉싱하여 상기 HDS 수단(90)으로 부터 출력하는 제2 멀티플렉서(83), 및 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS)와 프로세스 수직 동기신호(PVS), 디스플레이 라인 동기신호(DLS), 및 디스플레이 수직 동기신호(DVS)와 상기 VDS 수단(40), PIC수단(50), 및 HDS 수단(70)으로 부터 출력되는 제어신호를 이용하여 상기 디코더(10)로 부터 출력되는 영상 포맷정보와 디스플레이 포맷에 따라 상기 제1 및 제2 FIFO 메모리(81, 82), 및 제2 멀티플렉서(83)를 제어하는 제어수단(84)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 53

제52항에 있어서, 상기 디스플레이 포맷이 순차주사식인 경우에는 상기 제1 FIFO 메모리(81)만을 사용하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 54

제52항에 있어서, 상기 제어수단(84)은 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 수직 동기신호(PVS)의 상승 에지를 검출하여 톱 및 보텀 FIFO 쓰기 리셋신호를 출력하는 제1상승 에지 검출수단(841), 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 수직동기신호(PVS)와 프로세스 라인 동기신호(PLS), 상기 PIC 수단(50)으로 부터 출력되는 톱 및 보텀 PIC 쓰기 인에이블 신호, 상기 VDS 수단(40)으로 부터 출력되는 VDS 쓰기 인에이블 신호, 및 상기 HDS 수단(70)으로 부터 출력되는 HDS 쓰기 인에이블 신호를 이용하여 디스플레이 포맷에 따라 상기 제1 및 제2 FIFO 메모리(81, 82)의 쓰기를 제어하는 톱 및 보텀 FIFO 쓰기 인에이블 신호(FIFO2-T-W, FIFO2-B-W)를 출력하는 쓰기 인에이블 신호 발생수단(842), 상기 동기신호 발생수단(100)으로 부터 출력되는 디스플레이 수직 동기신호(DVS)의 상승 에지를 검출하여 톱 및 보텀 FIFO 읽기 리셋신호(FIFO2-T-RR, FIFO2-B-RR)를 출력하는 제2상승에지 검출수단(843), 및 상기 동기신호 발생수단(100)으로 부터 출력되는 디스플레이 수직 동기신호(DVS)와 디스플레이 라인 동기신호(DLS), 및 상기 HDS 수단(90)으로 부터 출력되는 제어신호를 이용하여 상기 제1 및 제2 FIFO(81, 82)의 읽기를 제어하는 톱 및 보텀 FIFO 읽기 인에이블 신호(FIFO2-T-R, FIFO2-B-R)와 상기 제2멀티플렉서(83)를 제어하는 선택신호(M3S)를 출력하는 읽기 인에이블 신호 발생수단(844)으로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 55

제54항에 있어서, 상기 쓰기 인에이블 신호 발생수단(842)은 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 수직 동기신호(PVS)를 2라인 지연시키는 2라인 지연기(8421), 상기 2라인 지연기(8421)와 상기 동기신호 발생수단(100)으로 부터 출력되는 프로세스 라인 동기신호(PLS)를 논리곱하는 제1 AND 게이트(8422), 디스플레이 포맷에 따라 상기 PIC 수단(50)으로 부터 출력되는 톱 PIC 쓰기 인에이블 신호(PIC-W-T)와 VDS 수단(40)으로 부터 출력되는 VDS 쓰기 인에이블 신호(VDS-W) 중에서 하나를 선택하여 출력하는 제3멀티플렉서(8423), 상기 제1 AND 게이트(8422)와 제3 멀티플렉서(8423)로 부터 출력되는 신호를 논리곱하는 제2 AND 게이트(8424), 상기 제2 AND 게이트(8424)로 부터 출력되는 신호를 래치시키는 래치(8425), 상기 HDS 수단(8426)으로 부터 출력되는 HDS 쓰기 인에이블 신호(HDS-W)와 상기 래치(8425)로 부터 출력되는 신호를 논리곱하여 톱 FIFO 쓰기 인에이블 신호(FIFO-T-W)를 출력하는 제3 AND 게이트(8426), 디스플레이 포맷을 나타내는 순차주사 신호를 반전시키는 인버터(8427), 상기 PIC 수단(50)으로 부터 출력되는 보텀 PIC 쓰기 제어신호(PIC-W-B)와 인버터(8427)로 부터 출력되는 신호를 논리곱하는 제4 AND 게이트(8428), 및 상기 제1 및 제4 AND 게이트(8422, 8428)로 부터 출력되는 신호를 논리곱하여 보텀 FIFO 쓰기 인에이블 신호(FIFO-B-W)를 출력하는 제5 AND 게이트(8429)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 56

제54항에 있어서, 상기 읽기 인에이블 신호 발생수단(9844)은 상기 동기신호 발생수단(100)으로부터 출력되는 디스플레이 수직 동기신호(DVS)를 클럭 일력으로 하는 플립플롭(8441), 상기 플립플롭(8441)으로부터 출력되는 신호와 디스플레이 포맷을 나타내는 순차주사 신호를 논리합하는 OR 게이트(8442), 상기 OR 게이트(8442)로부터 출력되는 신호를 반전시키는 인버터(8443), 상기 동기신호 발생수단(100)으로부터 출력되는 디스플레이 수직 동기신호(OVS)와 디스플레이 라인 동기신호(인)를 논리곱하는 제1 AND 게이트(8444), 상기 HUS 수단(90)으로부터 출력되는 제어신호와 상기 제1 AND 게이트(8444)로부터 출력되는 신호를 논리곱하는 제2 AND 게이트(8445), 상기 OR 게이트(8442)와 제2 AND 게이트(8445)로부터 출력되는 신호를 논리곱하여 상기 제2멀티플렉서(83)를 제어하는 선택신호(M3S)와 톱 FIFO 읽기 인에이블 신호(FIFO2-T-R)를 출력하는 제3 AND 게이트(8446), 및 상기 인버터(8443)와 제2 AND 게이트(8445)로부터 출력되는 신호를 논리곱하여 보통 FIFO 읽기 인에이블 신호(FIFO2-B-R)를 출력하는 제4 AND 게이트(8447)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 57

제2항에 있어서, 상기 HUS 수단(90)은 수평 방향으로 2:3업 샘플링하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 58

제57항에 있어서, 상기 HUS 수단(90)은 상기 프레임을 변환수단(80)으로부터 출력되는 영상 신호를 화소 단위로 지연시키는 제1래치(91), 상기 제1래치(91)로부터 출력되는 영상신호를 화소 단위로 지연시키는 제2래치(92), 상기 프레임을 변환수단(80)과 제2래치(92)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 제1라인내 화소간 가중평균 계산수단(93), 상기 제1 및 제2래치(91, 92)로부터 출력되는 영상신호에 해당하는 가중치를 곱하여 가중 평균을 계산하는 제2라인내 화소간 가중평균 계산수단(94), 상기 제1래치, 제1 및 제2라인내 화소간 가중평균 계산수단(93, 94), 및 프레임을 변환수단(80)으로부터 출력되는 신호 중에서 하나를 선택하여 출력하는 제2멀티플렉서(95), 상기 디코더(10)로부터 출력되는 영상 포맷 정보와 디스플레이 포맷에 따라 HUS의 바이패스를 제어하는 HUS 바이패스 제어수단(96), 일력되는 기준 클럭을 카운팅하는 2비트 카운터(98), 상기 HUS 바이패스 제어수단(96)과 2비트 카운터(98)로부터 출력되는 신호를 이용하여 상기 제2멀티플렉서(95)를 제어하는 선택신호를 출력하는 제2멀티플렉서 제어수단(97), 및 상기 HUS 바이패스 제어수단(96)과 2비트 카운터(98)로부터 출력되는 신호를 이용하여 HUS 읽기 인에이블 신호를 발생시켜 상기 프레임을 변환수단(80)으로부터 출력되는 HUS 읽기 인이에이블 신호 발생수단(99)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 59

제58항에 있어서, 상기 제1라인내 화소간 가중평균 계산수단(91)은 상기 제2래치(92)로부터 출력되는 영상신호에 2/3을 곱하는 2/3곱셈기(931), 상기 프레임을 변환수단(80)으로부터 출력되는 영상신호에 1/3을 곱하는 1/3곱셈기(932), 및 상기 2/3곱셈기(931)와 1/3곱셈기(932)로부터 출력되는 신호를 가산하여 상기 제1멀티플렉서(95)로부터 출력하는 가산기(933)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 60

제58항에 있어서, 상기 제2라인내 화소간 가중평균 계산수단(92)은 상기 제1래치(91)로부터 출력되는 영상신호에 2/3을 곱하는 2/3곱셈기(941), 상기 제2래치(92)로부터 출력되는 영상신호에 1/3을 곱하는 1/3곱셈기(942), 및 상기 2/3곱셈기(941)와 1/3곱셈기(942)로부터 출력되는 신호를 가산하여 상기 제1멀티플렉서(95)로부터 출력하는 가산기(943)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 61

제58항에 있어서, 상기 HUS 바이패스 제어수단(96)은 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우로 디스플레이 포맷이 비율 주사 방식인 경우에는 '0'을 출력하고, 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 1600화소로 형성되는 경우, 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 3200화소로 형성되는 경우, 및 일력되는 영상신호가 720라인 × 1280화소로 구성된 액티브 영역을 포함하는 787/788라인 × 4000화소로 형성되는 경우로 디스플레이 포맷이 순차 주사 방식인 경우에는 '1'을 출력하고, 일력되는 영상신호가 540라인 × 1920화소로 구성된 액티브 영역을 포함하는 562/563라인 × 2240화소로 형성되는 경우, 일력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2240화소로 형성되는 경우, 및 일력되는 영상신호가 1080라인 × 1920화소로 구성된 액티브 영역을 포함하는 1125라인 × 2280화소로 형성되는 경우에는 '1'을 출력하도록 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

## 청구항 62

제58항에 있어서, 상기 제2멀티플렉서 제어수단(97)은 상기 HUS 바이패스 제어수단(96)로부터 출력되는 신호와 상기 2비트 카운터(98)로부터 출력되는 하위비트 신호를 논리합하여 상기 제2멀티플렉서(95)를 제어하는 선택신호로 출력하는 제1 OR 게이트(971), 및 상기 HUS 바이패스 제어수단(96)로부터 출력되는 신호와 상기 2비트 카운터(98)로부터 출력되는 상위비트 신호를 논리합하여 상기 제2멀티플렉서(95)를 제어하는 선택신호로 출력하는 제2 OR 게이트(972)로 구성되는 것을 특징으로 하는 HDTV의 영

## 상 포맷 변환장치.

청구항 63

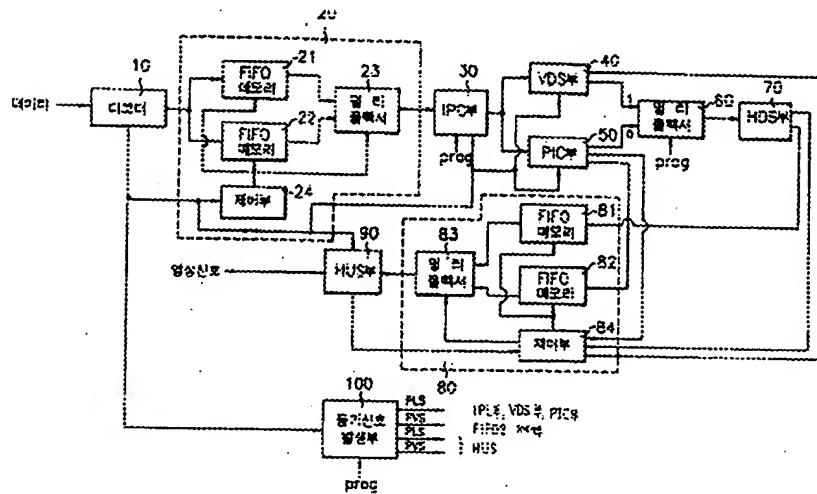
제58항에 있어서, 상기 HUS 읽기 인에이를 신호 발생수단(99)은 상기 2비트 카운트(98)로부터 출력되는 하위비트 신호를 반전시키는 인버터(991), 상기 2비트 카운터(98)로부터 출력되는 상위비트 신호와 상기 인버터(991)로부터 출력되는 신호를 부정 논리곱하여 상기 2비트 카운터(98)의 클리어 신호 입력단자(CL)로 출력하는 NAND게이트(992), 및 상기 NAND 게이트(992)와 HUS 바이패스 제어수단(96)으로부터 출력되는 신호를 논리합하는 OR 게이트(993)로 구성되는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

청구항 64

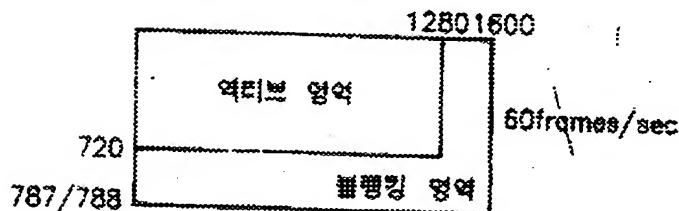
제58항에 있어서, 상기 2비트 카운터(98)는 '0'으로 부터 '2'까지만 카운팅하는 것을 특징으로 하는 HDTV의 영상 포맷 변환장치.

도연

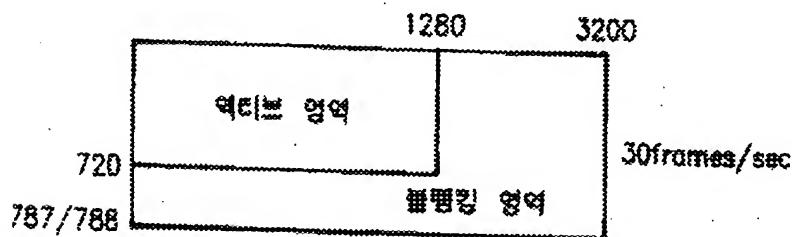
### 도연 1



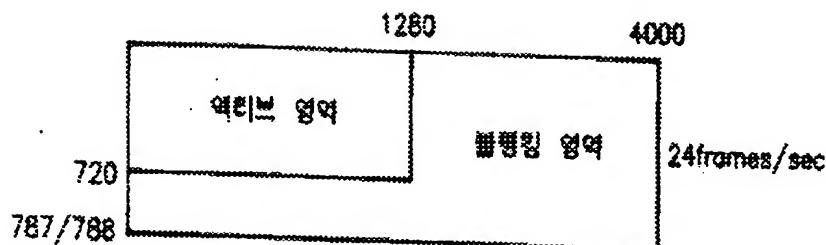
### 도면2a



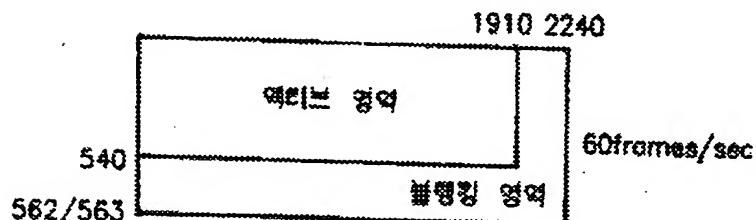
도면2b



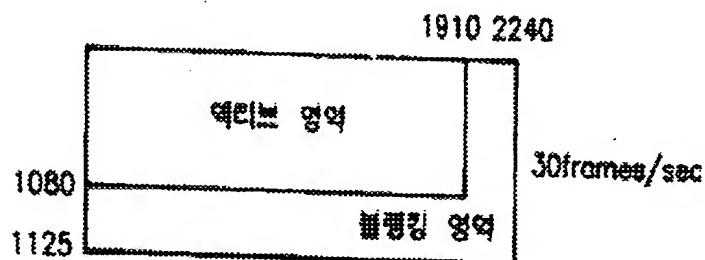
도면2c



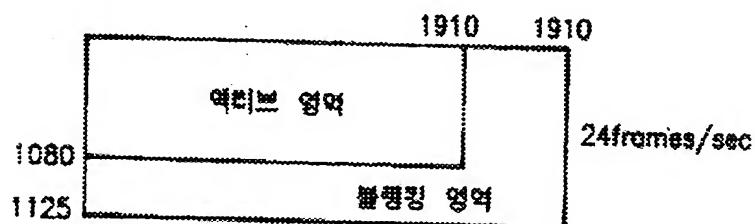
도면2d



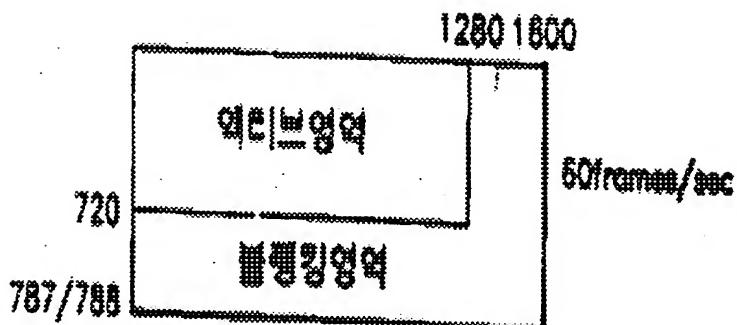
도면2e



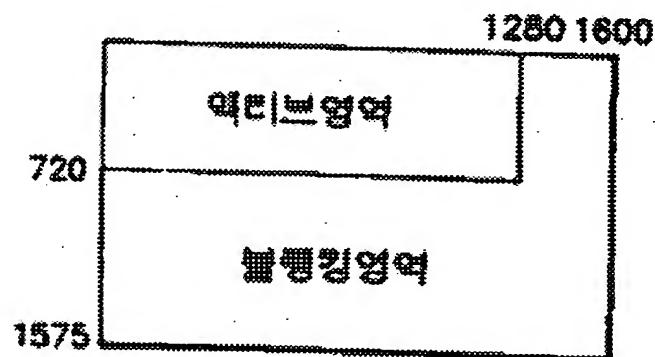
도면2f



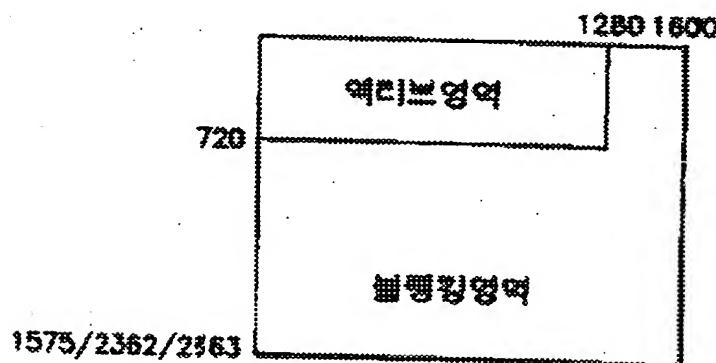
도면3a



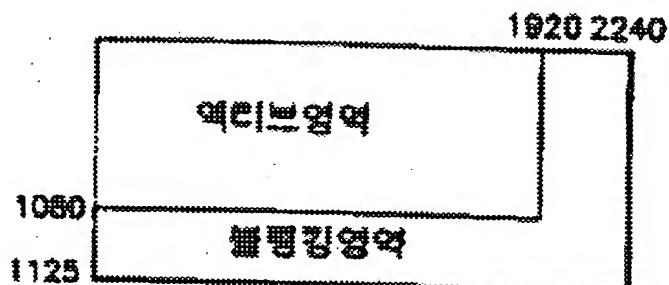
도면3b



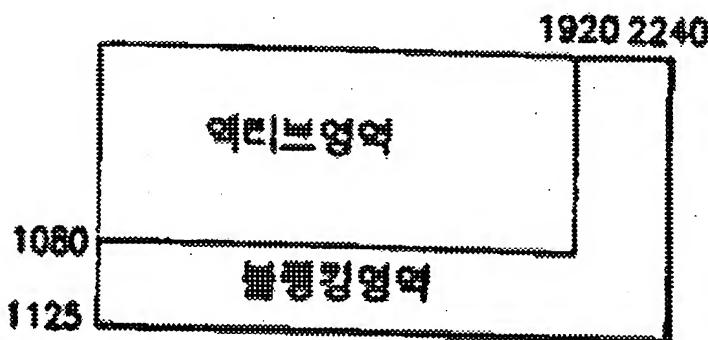
도면3c



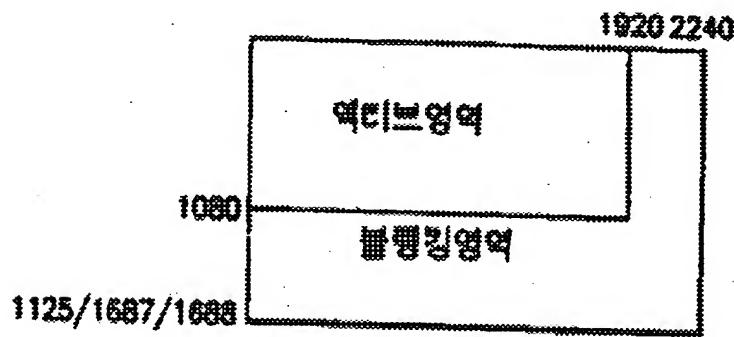
도면3d



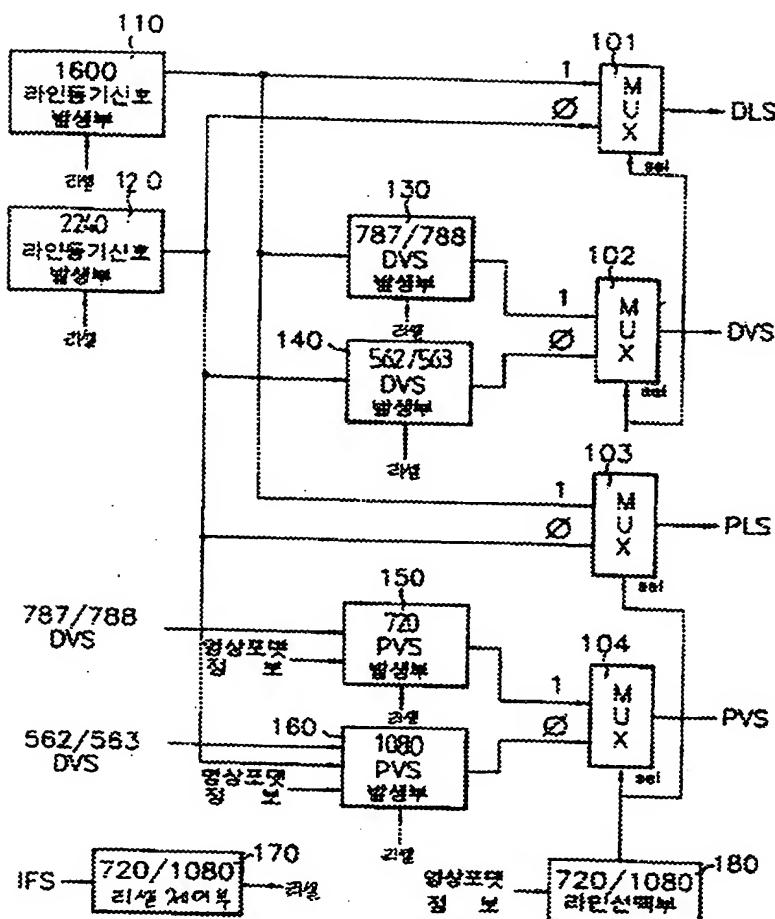
도면3e



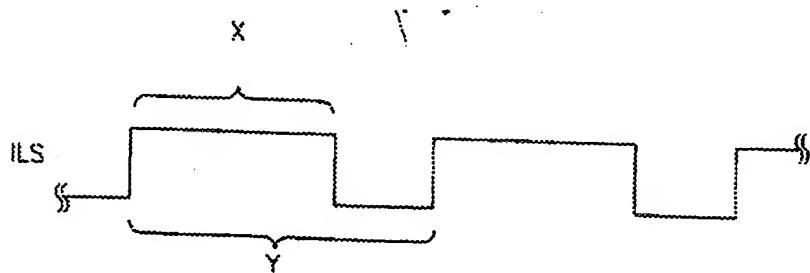
도면3f



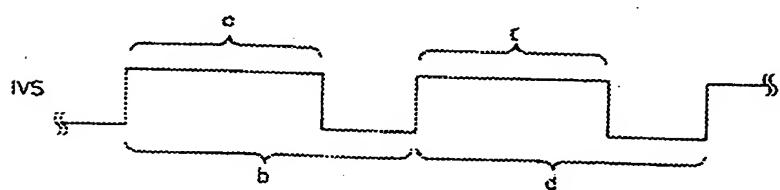
도면4



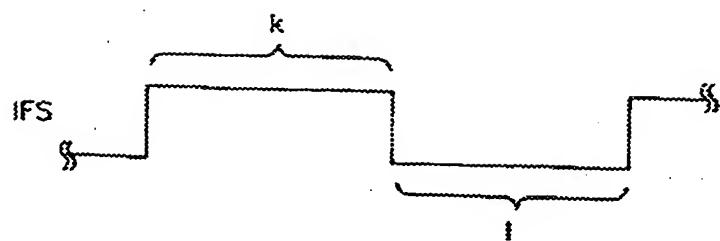
도면5a



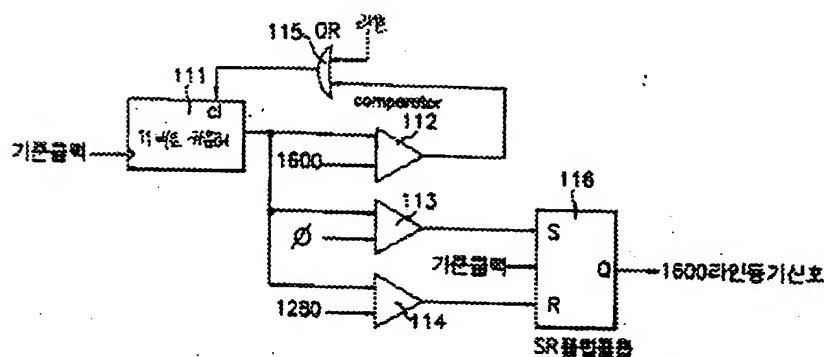
도면5b



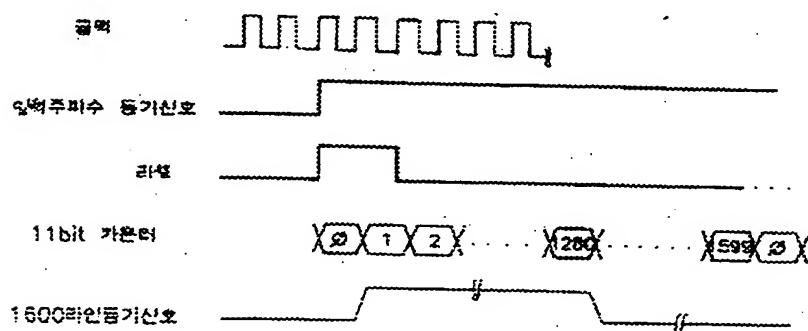
도면5c



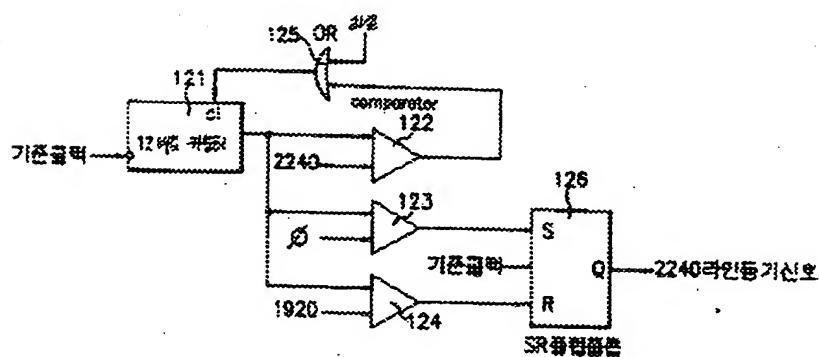
도면6



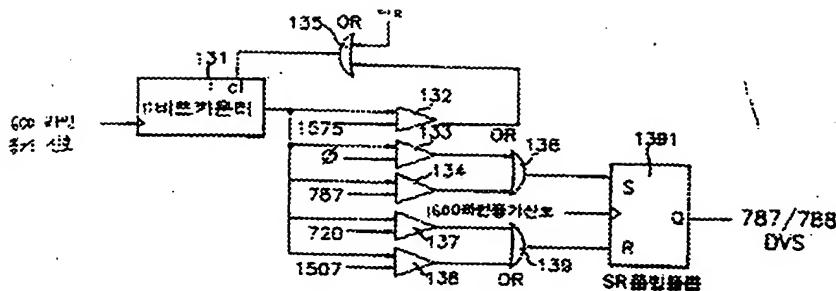
도면7



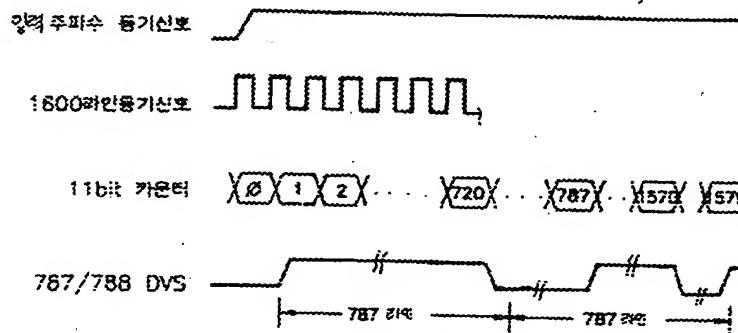
도면8



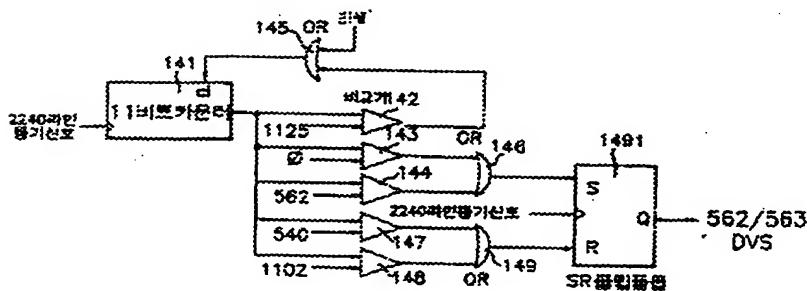
도면9



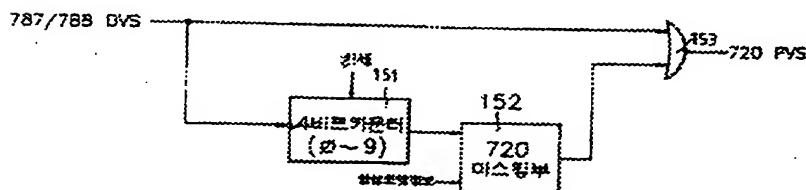
도면10



도면11



도면12



도면 13

영상포맷정보	카운터풀렉	720마스킹부풀렉
A	무조건(don't care)	1
B	0	1
B	1	Ø
C	2,4,7,9	1
C	Ø,1,3,5,6,8	Ø
D,E,F	무조건(don't care)	Ø

도면 14

787/788DVS



4비트 카운터



A.

720 PVS



B.

720 링스램

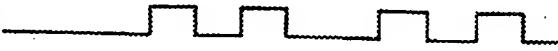


720 PVS



C.

720 링스램

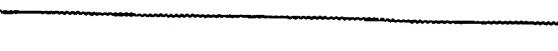


720 PVS



D,E,F

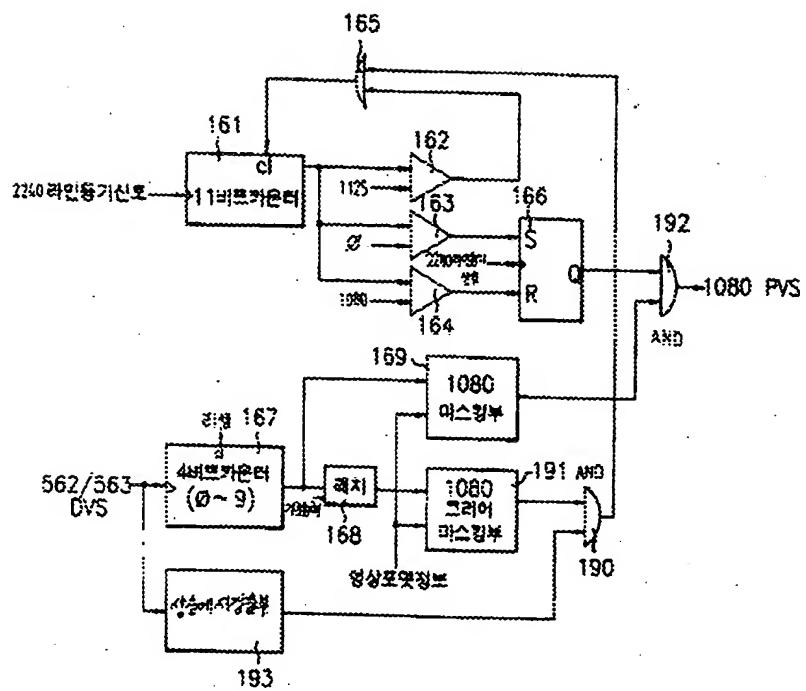
720 링스램



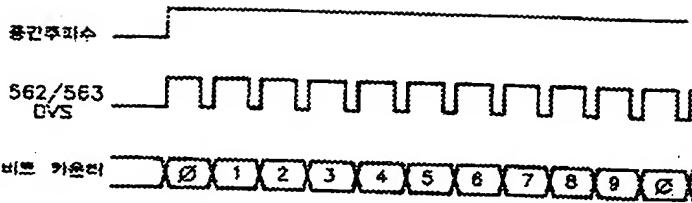
720 PVS



도면 15



## 도면 16



## A, B, C

1080 브리어마스킹부 \_\_\_\_\_  
 1080 마스킹부 \_\_\_\_\_  
 1080 PVS \_\_\_\_\_

## D, E

1080 브리어마스킹부   
 S/R F/F   
 1080 마스킹부   
 1080 PVS

## F

1080 브리어마스킹부   
 S/R F/F   
 1080 마스킹부   
 1080 PVS

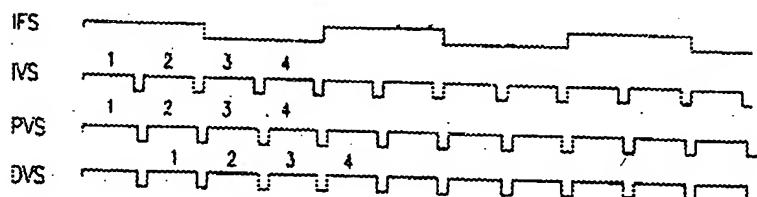
## 도면 17

포맷정보	카운터값	비
A,B,C	무조건(don't care)	Ø
D,E	무조건(don't care)	1
F	Ø,5	Ø
F	1,2,3,4,6,7,8,9	1

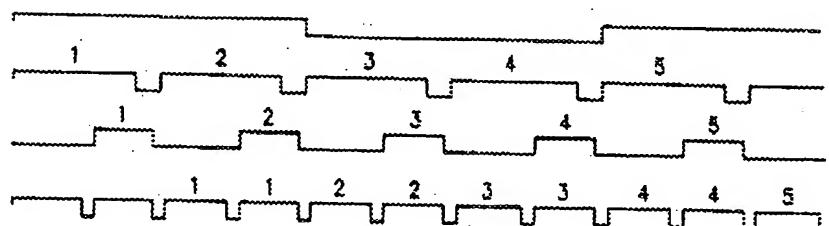
도면18

포맷정보	가운데값	총 액
A,B,C	무조건(don't care)	Ø
D,E	■	Ø
D,E	■	1
F	1,2,3,4,6,7,8,9	Ø
F	Ø,5	1

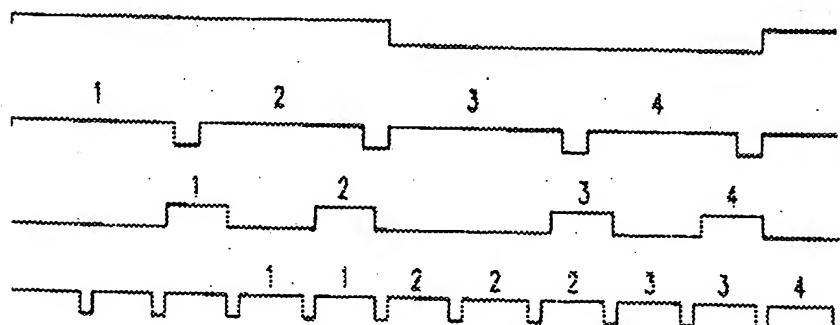
도면19a



도면19b

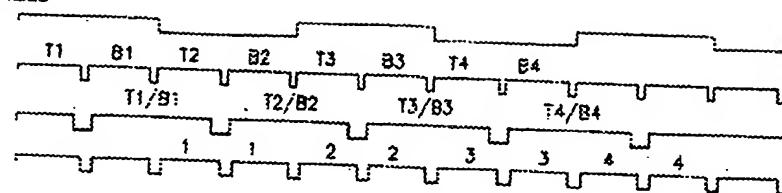


도면19c



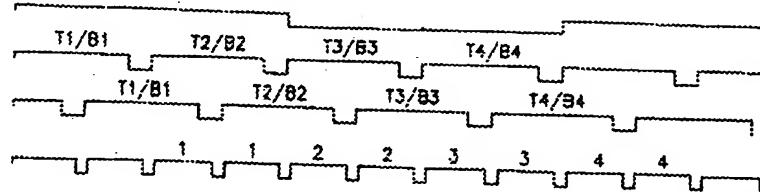
도면19d

D FIELD



도면19e

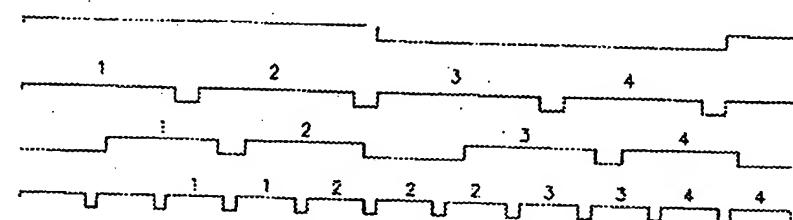
D FRAME,E



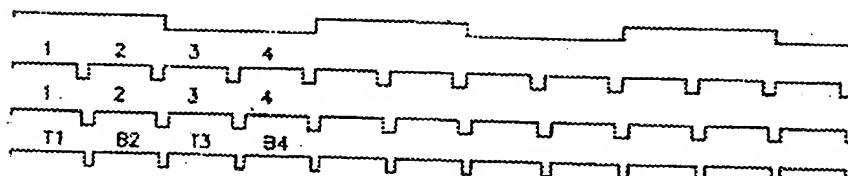
F

도면19f

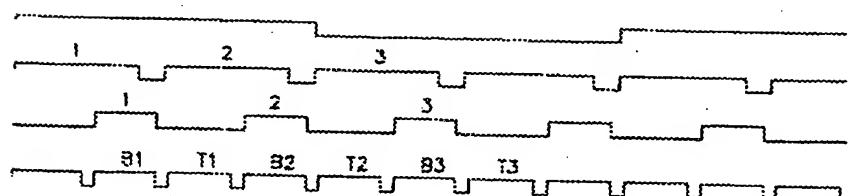
F



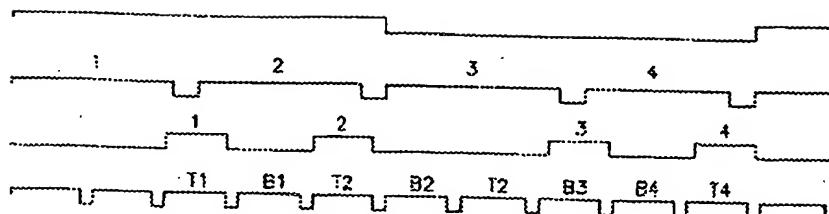
도면20a



도면20b

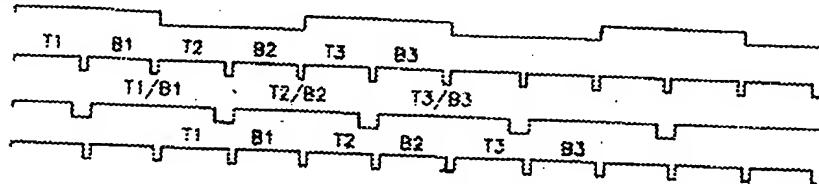


도면20c



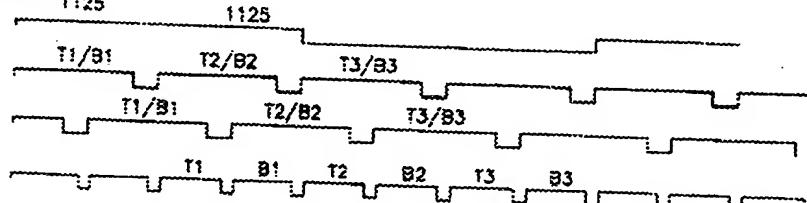
도면20d

FIELD

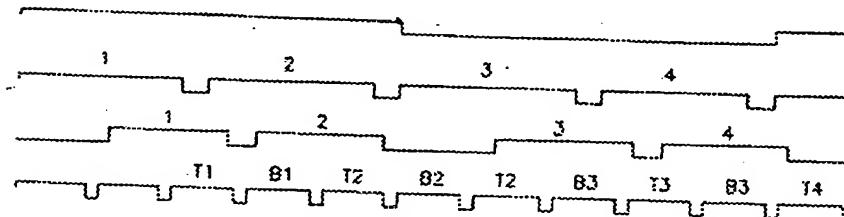


도면20e

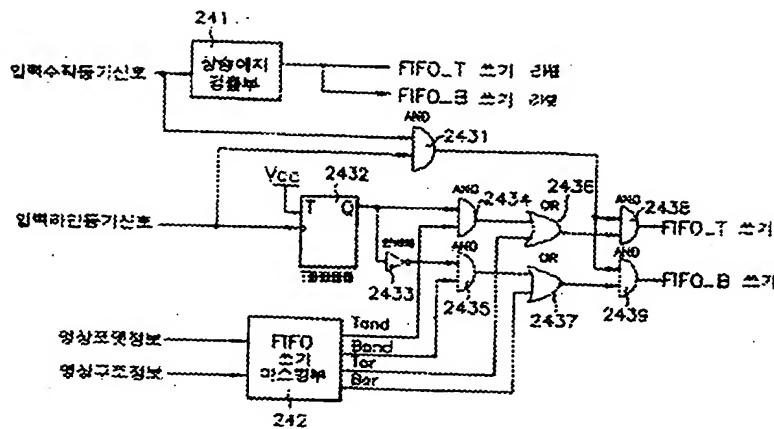
FRAME, F<sub>T125</sub>



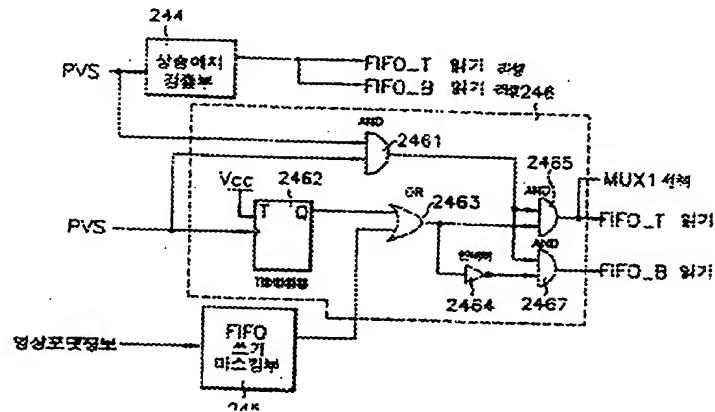
도면20f



도면21



242



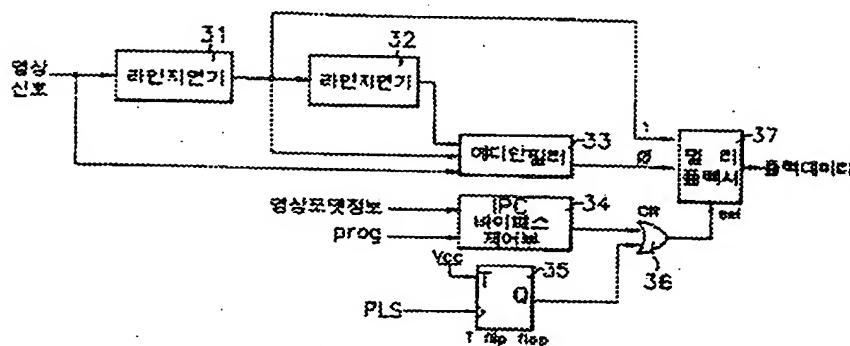
244

포맷	영상구조	Tard	Tar	bar'd	bar
A	무조건(don't care)	1	1	Ø	Ø
B	무조건(don't care)	1	1	Ø	Ø
C	무조건(don't care)	1	1	Ø	Ø
D	TOP 필드	1	1	Ø	Ø
D	BOTTOM 필드	Ø	Ø	1	1
D	프레임 필드	1	Ø	1	Ø
E	무조건(don't care)	1	Ø	1	Ø
F	무조건(don't care)	1	Ø	1	Ø

도면23

포맷	비트
A,B,C	1
D,E,F	Ø

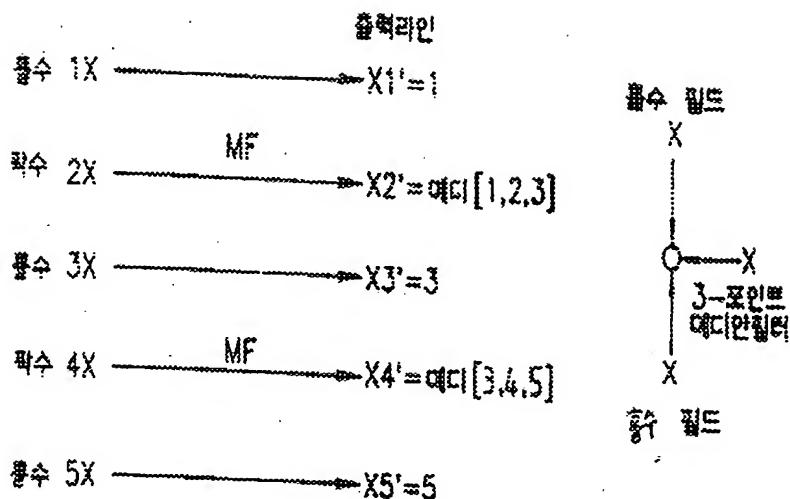
도면24



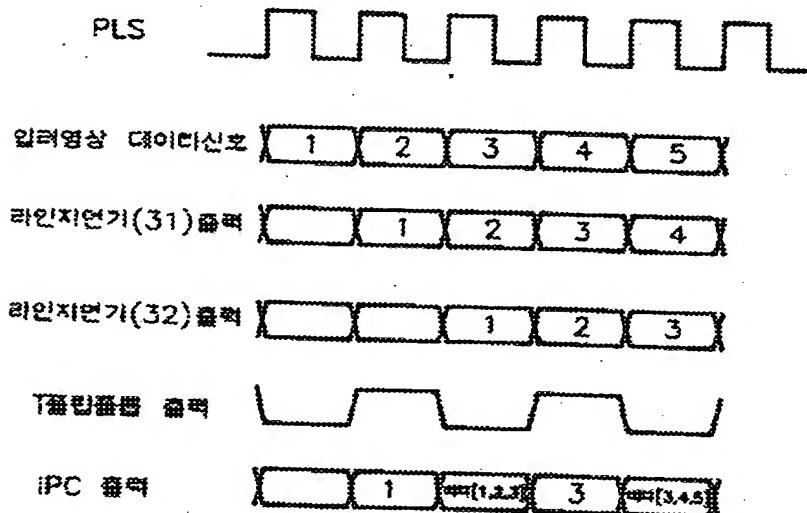
도면25

포맷	prog	비트
A,B,C,E,F	무조건(don't care)	1
D	Ø	1
D	1	Ø

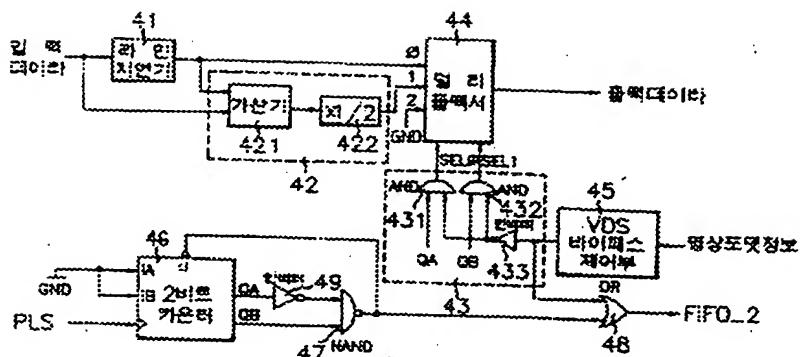
도면26



도면27



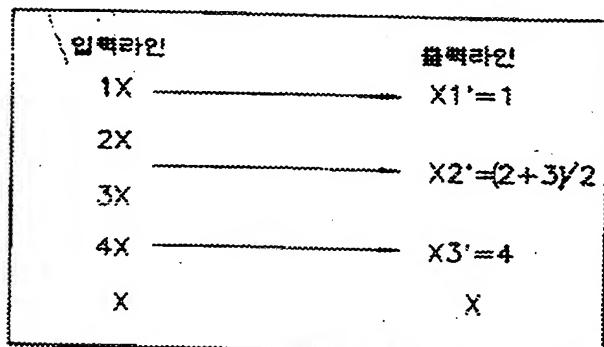
도면28



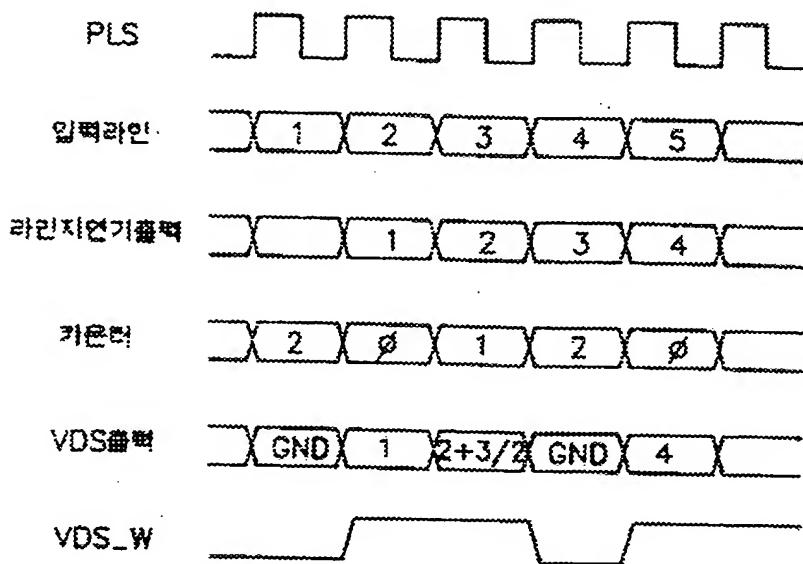
도면29

呈 款	審 證
A,B,C	1
D,E,F	Ø

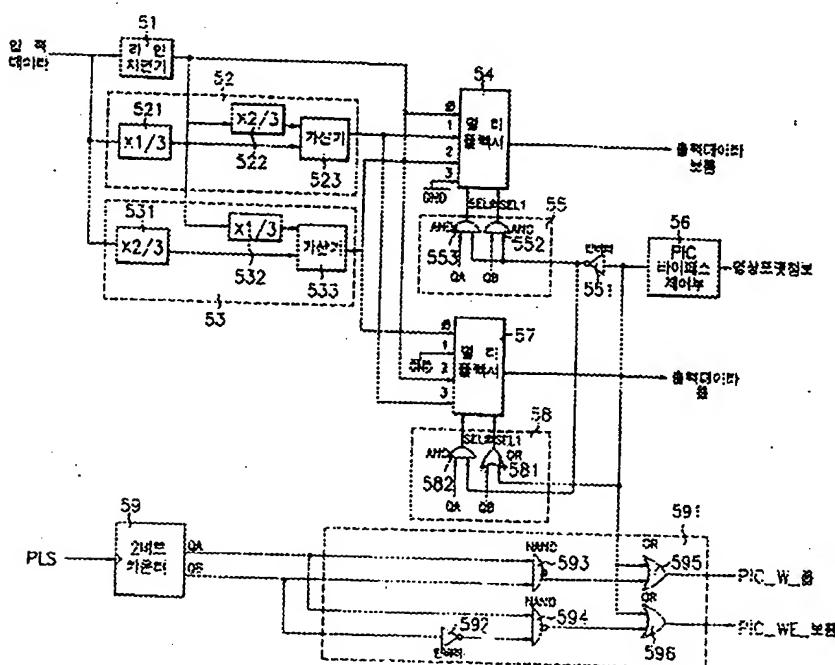
도면30



## 도면31



### 도연32



도면33

표	액
A,B,C	Ø
D,E,F	1

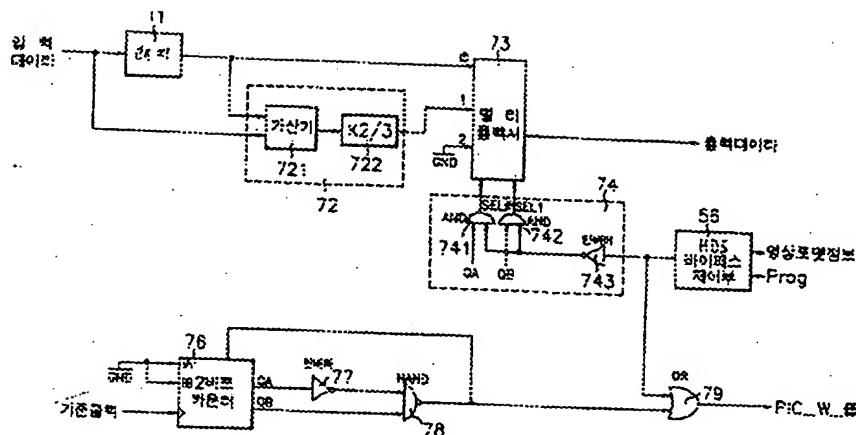
### 도연34

일짜라인	TOP일짜라인	Bottom일짜라인
1X	$X1' = 1$	
2X		$X1'' = 1 + 2 \times 2/3$
3X	$X2' = 2.2 + 3/3$	
4X		$X2'' = 3$
5X	$X3' = 3 + 2.4/3$	
6X		$X3'' = 2 \times 4 + 5/3$
7X	$X4' = 5$	
	X	
		X

도면35

PLS	
입력라인	
라인자연기음역	
기운하	
TOP 충격	
PIC_WE_TOP	
BCD_08988888	
PIC_WE_BOTTOM	

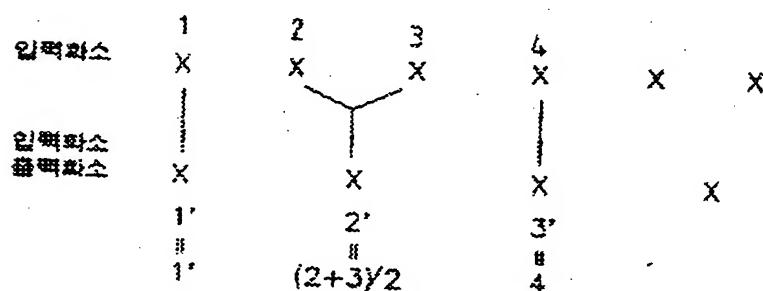
도면36



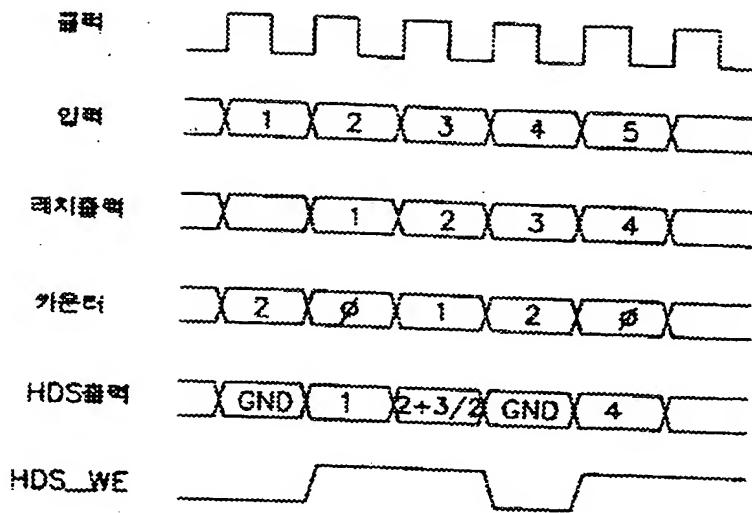
도면37

포맷	PROG	비트
A,B,C	무조건(don't care)	1
D,E,F	Ø	1
D,E,F	1	Ø

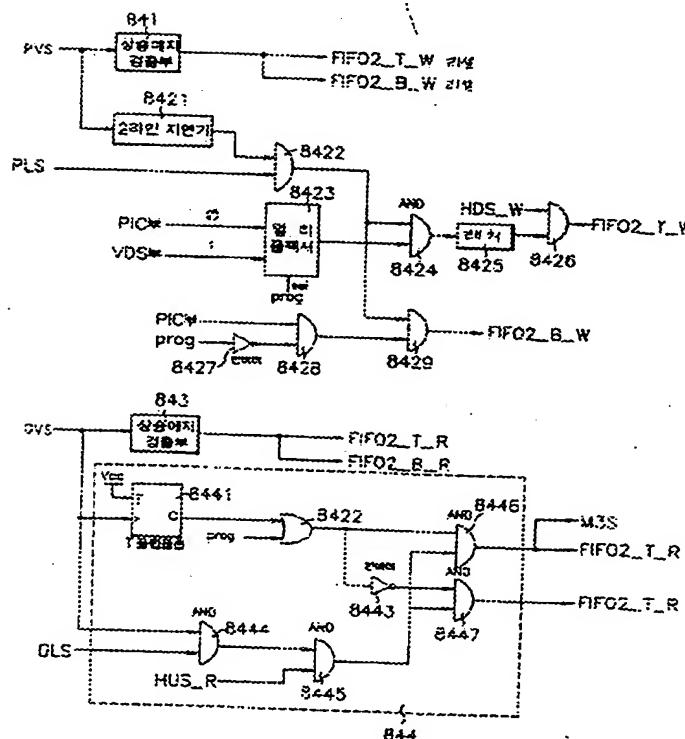
도면38



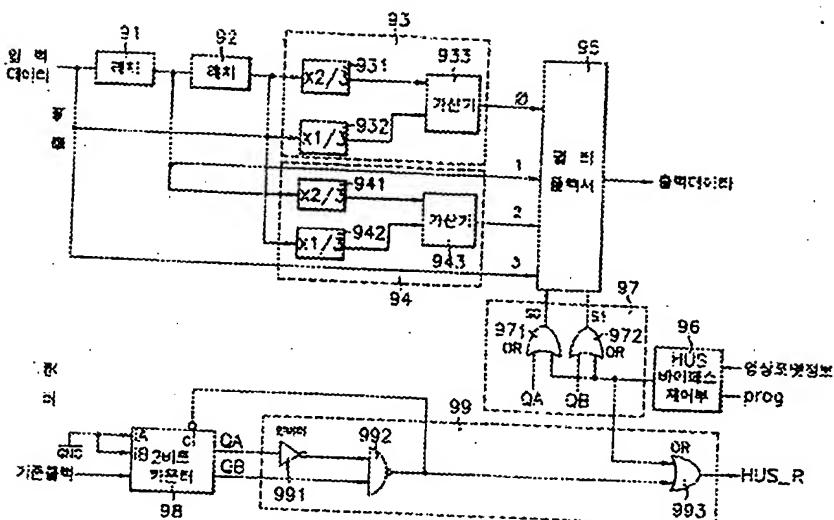
### 도면39



### 도면40



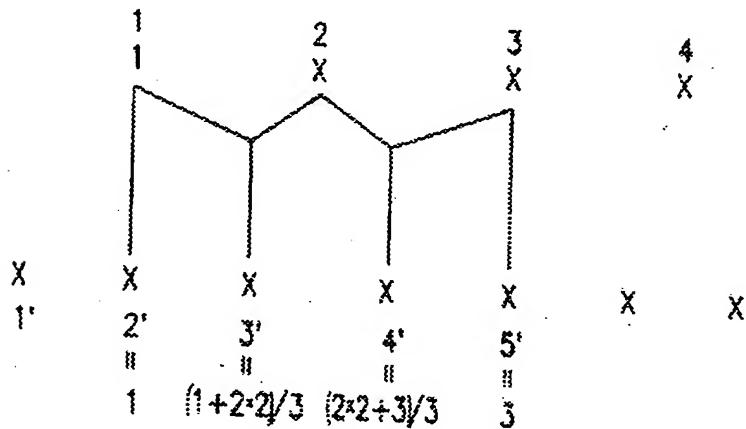
### 도면41



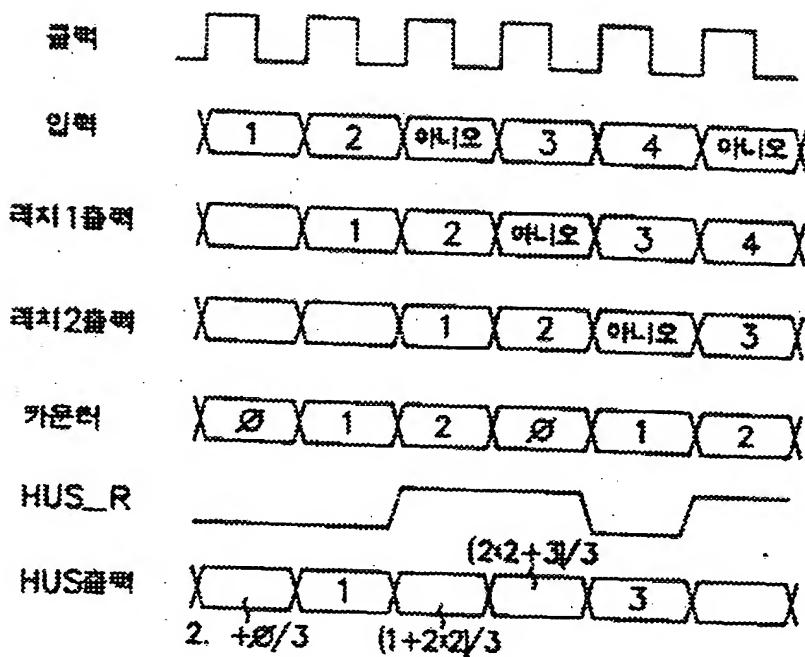
## 도연42

표	prog	결
A,B,C	Ø	Ø
A,B,C	1	1
D,E,F	무조건(don't care)	1

### 도면43



도면44





리&목 특허법인  
Y.P. LEE, MOCK & PARTNERS

(137-874) 서울시 서초구 서초동 1571-18 청화빌딩

TEL: 02)588-8585(代) FAX: 02)588-8586(代) E-mail: iplaw@leemock.com http://www.leemock.co.kr

이 틈 05H-43372 호

2005. 10. 26.

발 신 : 삼성전자(주) 반도체 지적자산팀 출원그룹장

담당자 : 최희경

수 신 : 우바로프, 이형근

제 목 : 대만 특허출원을 위한 Assignment 발명자 서명(sign) 요청의 건

1. 대만에 특허 출원 예정인 상기 건에 대하여 Assignment 를 보내드리오니 서명하신 후,  
당소로 빠른 시일 내에 회송해 주시기 바랍니다.

**서명시 주의사항!!!**

- 1) 반드시 본인이 직접 서명해 주시기 바랍니다.
- 2) 서명(sign)은 어렵고 독특한 필체모양을 삼가!! 반드시 청색펜을 사용  
-> 제 3 자가 쉽게 식별할 수 있도록 직접 영문 FULL NAME을 서명하여 주시기 바랍니다.
- 3) 서명시 날짜 기재는 다음과 같이 해 주시기 바랍니다!!(발명자가 2인이상일 경우는  
한분이 대표로 기재하시면 됩니다.)  
-> ex) Signed on this 17th day of February 2005.

2. 회송기한: 2005년 10월 31일

3. 출원국

출 원 국	<input type="checkbox"/> 미국 <input type="checkbox"/> 일본 <input type="checkbox"/> 영국 <input type="checkbox"/> 독일 <input type="checkbox"/> 프랑스 <input type="checkbox"/> 이태리 <input checked="" type="checkbox"/> 대만 <input type="checkbox"/> 중국			
삼성 접수번호	IB200409-013TW0			
참고 사항	당소 참조번호	SS-23285-TW	사무소 수임일자	2004. 10. 8.
	국내 출원번호	04-107213	국내 출원일자	2004. 12. 16.
출원 명칭	베이어 패턴의 컬러 신호를 보간하는 방법 및 보간기			

리&목 특허법인  
대표변리사 이영필